

日本国特許庁  
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日 2003年 2月 19日  
Date of Application:

出願番号 特願 2003-041769  
Application Number:

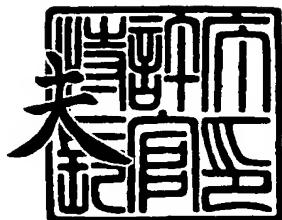
[ST. 10/C] : [JP 2003-041769]

出願人 セイコーエプソン株式会社  
Applicant(s):

2003年12月 5日

特許庁長官  
Commissioner,  
Japan Patent Office

今井 康





【書類名】 特許願

【整理番号】 J0095912

【提出日】 平成15年 2月19日

【あて先】 特許庁長官殿

【国際特許分類】 G09G 3/30

【発明者】

【住所又は居所】 長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内

【氏名】 城 宏明

【特許出願人】

【識別番号】 000002369

【氏名又は名称】 セイコーエプソン株式会社

【代理人】

【識別番号】 100095728

【弁理士】

【氏名又は名称】 上柳 雅薈

【連絡先】 0266-52-3139

【選任した代理人】

【識別番号】 100107076

【弁理士】

【氏名又は名称】 藤綱 英吉

【選任した代理人】

【識別番号】 100107261

【弁理士】

【氏名又は名称】 須澤 修

【手数料の表示】

【予納台帳番号】 013044

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 0109826

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 電気光学装置、電気光学装置の駆動方法および電子機器

【特許請求の範囲】

【請求項 1】

電気光学装置において、

複数の走査線と、

複数のデータ線と、

前記走査線と前記データ線との交差に対応して設けられた複数の画素であって、前記画素のそれぞれが、データを保持する保持手段と、前記保持手段に保持されたデータに応じて、第1の電源線から第2の電源線に向かって流れる駆動電流を設定する駆動素子と、当該設定された駆動電流に応じた輝度で発光する電気光学素子とを有する複数の画素と、

前記走査線に走査信号を出力することにより、データの書込対象となる画素に対応する前記走査線を選択する走査線駆動回路と、

前記走査線駆動回路と協働し、前記書込対象となる画素に対応する前記データ線にデータを出力するデータ線駆動回路と、

前記書込対象となる画素に対応する前記走査線が選択されてから当該走査線が次に選択されるまでの期間において、前記第1の電源線または前記第2の電源線の少なくとも一方の電位を可変に設定し、前記電気光学素子に順バイアスと非順バイアスとを交互に繰り返し印加することにより、前記電気光学素子をインパルス駆動させる電源線制御回路と

を有することを特徴とする電気光学装置。

【請求項 2】

前記電源線制御回路は、前記電気光学素子に順バイアスを印加する場合、前記第2の電源線の電位を前記第1の電源線の電位よりも低く設定し、前記電気光学素子に非順バイアスを印加する場合、前記第2の電源線の電位を前記第1の電源線の電位以上に設定することを特徴とする請求項1に記載された電気光学装置。

【請求項 3】

前記電源線制御回路は、前記電気光学素子に順バイアスを印加する場合、前記

第1の電源線の電位を前記第2の電源線の電位よりも高く設定し、前記電気光学素子に非順バイアスを印加する場合、前記第1の電源線の電位を前記第2の電源線の電位以下に設定することを特徴とする請求項1に記載された電気光学装置。

#### 【請求項4】

前記電源線制御回路は、前記電気光学素子に順バイアスを印加する場合、前記第1の電源線の電位を第1の電位に設定するとともに、前記第2の電源線の電位を前記第1の電位よりも低い第2の電位に設定し、前記電気光学素子に非順バイアスを印加する場合、前記第1の電源線の電位を前記第1の電位よりも低い第3の電位に設定するとともに、前記第2の電源線の電位を前記第3の電位以上の第4の電位に設定することを特徴とする請求項1に記載された電気光学装置。

#### 【請求項5】

前記電源線制御回路は、ある走査線の選択が終了してから次の走査線の選択が開始されるまでの間に遅延期間を設け、当該遅延期間のそれぞれにおいて、前記電気光学素子をインパルス駆動させることを特徴とする請求項1から4のいずれかに記載された電気光学装置。

#### 【請求項6】

前記電源線制御回路は、前記走査線単位で設けられており、前記電源線制御回路のそれぞれは、当該電源線制御回路に対応する前記走査線の選択と同期して、当該走査線に対応する画素行の前記電気光学素子をインパルス駆動させることを特徴とする請求項1から4のいずれかに記載された電気光学装置。

#### 【請求項7】

前記画素のそれぞれは、前記駆動電流の電流経路中に設けられた制御素子をさらに有し、当該制御素子の導通制御によって、データの書き込み途中における前記画素の発光を規制することを特徴とする請求項1から6のいずれかに記載された電気光学装置。

#### 【請求項8】

請求項1から7のいずれかに記載された電気光学装置を実装したことを特徴とする電子機器。

**【請求項 9】**

走査線とデータ線との交差に対応して配置された複数の画素と、前記走査線に走査信号を出力することにより、データの書込対象となる画素に対応する前記走査線を選択する走査線駆動回路と、前記走査線駆動回路と協働し、前記書込対象となる画素に対応する前記データ線にデータを出力するデータ線駆動回路とを有する電気光学装置の駆動方法において、

前記書込対象となる画素に対応する前記データ線にデータを出力し、前記書込対象となる前記画素に対して、データの書き込みを行う第1のステップと、

前記画素に書き込まれたデータに応じて、第1の電源線から第2の電源線に向かって流れる駆動電流を設定し、当該駆動電流を、駆動電流に応じた輝度で発光する電流駆動型の電気光学素子に供給する第2のステップと、

前記画素に対応する前記走査線が選択されてから、当該走査線が次に選択されるまでの期間において、前記第1の電源線または前記第2の電源線の少なくとも一方の電位を可変に設定し、前記電気光学素子に順バイアスと非順バイアスとを交互に繰り返し印加することにより、前記電気光学素子をインパルス駆動させる第3のステップと

を有することを特徴とする電気光学装置の駆動方法。

**【請求項 10】**

前記第3のステップは、前記電気光学素子に順バイアスを印加する場合、前記第2の電源線の電位を前記第1の電源線の電位よりも低く設定するステップと、前記電気光学素子に非順バイアスを印加する場合、前記第2の電源線の電位を前記第1の電源線の電位以上に設定するステップとを含むことを特徴とする請求項9に記載された電気光学装置の駆動方法。

**【請求項 11】**

前記第3のステップは、前記電気光学素子に順バイアスを印加する場合、前記第1の電源線の電位を前記第2の電源線の電位よりも高く設定するステップと、前記電気光学素子に非順バイアスを印加する場合、前記第1の電源線の電位を前記第2の電源線の電位以下に設定するステップとを含むことを特徴とする請求項9に記載された電気光学装置の駆動方法。

**【請求項 12】**

前記第3のステップは、前記電気光学素子に順バイアスを印加する場合、前記第1の電源線の電位を第1の電位に設定するとともに、前記第2の電源線の電位を前記第1の電位よりも低い第2の電位に設定するステップと、前記電気光学素子に非順バイアスを印加する場合、前記第1の電源線の電位を前記第1の電位よりも低い第3の電位に設定するとともに、前記第2の電源線の電位を前記第3の電位以上の第4の電位に設定するステップとを含むことを特徴とする請求項9に記載された電気光学装置の駆動方法。

**【請求項 13】**

前記第3のステップにおいて、ある走査線の選択が終了してから次の走査線の選択が開始されるまでの間に遅延期間を設け、当該遅延期間のそれぞれにおいて、前記電気光学素子をインパルス駆動させることを特徴とする請求項9から12のいずれかに記載された電気光学装置の駆動方法。

**【請求項 14】**

前記第3のステップにおいて、前記走査線の選択と同期して、当該走査線に対応する画素行の前記電気光学素子を走査線単位でインパルス駆動させることを特徴とする請求項9から12のいずれかに記載された電気光学装置の駆動方法。

**【発明の詳細な説明】****【0001】****【発明の属する技術分野】**

本発明は、電流によって発光輝度が制御される電気光学素子を用いた電気光学装置、電気光学装置の駆動方法および電子機器に係り、特に、電気光学素子のインパルス駆動に関する。

**【0002】****【従来の技術】**

ホールド型ディスプレイの高画質化を図る上での課題として、動画表示特性の改善が挙げられる。ホールド型ディスプレイとは、1フレームの期間中、画像を表示し続けるディスプレイをいい、液晶や有機EL（Electronic Luminescence）等を用いたディスプレイはこのタイプに属する。この類のディスプレイにおい

て、画素内のキャパシタ等に書き込まれたデータは、1フレーム経過後にデータが再度書き込まれるまで保持され、基本的に、データが保持されている間、発光し続ける。そのため、1フレーム内で一時的に発光するインパルス型ディスプレイ（例えばCRT）と比較して、特に動画を表示する際に残像が目立ち、表示される動画が不鮮明になるという問題がある。この問題を解決するために、従来より、動画表示プロセスにおいて黒画像を所定の間隔で挿入するブリンクング（Blinking）と呼ばれる手法が提案されている。

#### 【0003】

例えば、特許文献1には、画素に対して所定電圧を供給する電圧ライン中にスイッチを設け、このスイッチで有機EL素子の発光時間を制御することにより、ブリンクングを行う技術が開示されている。具体的には、1フレームが複数のサブフレームに分割されており、サブフレーム毎にデータの書き込みが行われる。有機EL素子の発光期間は、サブフレームの一部期間として設定されており、この発光期間においてのみスイッチがオンする。これにより、発光期間では、所定電圧が電圧ラインを介して画素に供給されるため、有機EL素子が発光するが、それ以外の期間では、画素に対する電圧供給が停止するため、有機EL素子は発光しない（黒表示）。したがって、1サブフィールド期間、すなわち、ある走査線が選択されてから次にこれが選択されるまでの期間で捉えると、発光と非発光とがそれぞれ1回ずつ行われるという発光形態となる。

#### 【0004】

なお、本願出願人の先願である特願2002-291145号には、電圧供給線の設定電圧を可変制御することにより、有機EL素子に順バイアスと非順バイアスとを印加する技術が記載されている。ある走査線が選択されてから次にこれが選択されるまでの期間において、有機EL素子には、順バイアスと非順バイアスとがそれぞれ1回ずつ印加される。これにより、駆動トランジスタの閾値電圧のばらつきによる影響を抑制し、画素回路を構成するトランジスタの個数の低減を図る。

#### 【0005】

##### 【特許文献1】

特開 2000-347622 号公報。

### 【0006】

#### 【発明が解決しようとする課題】

本発明の目的は、駆動電流に応じた輝度で発光する電気光学素子を用いた電気光学装置において、動画表示特性を改善し、表示品質の一層の向上を図ることである。

### 【0007】

#### 【課題を解決するための手段】

かかる課題を解決するために、第1の発明は、複数の走査線と、複数のデータ線と、走査線とデータ線との交差に対応して設けられた複数の画素と、走査線に走査信号を出力することにより、データの書き込み対象となる画素に対応する走査線を選択する走査線駆動回路と、走査線駆動回路と協働し、書き込み対象となる画素に対応するデータ線にデータを出力するデータ線駆動回路と、電気光学素子をインパルス駆動させる電源線制御回路とを有する電気光学装置を提供する。ここで、画素のそれぞれは、データを保持する保持手段と、保持手段に保持されたデータに応じて、第1の電源線から第2の電源線に向かって流れる駆動電流を設定する駆動素子と、設定された駆動電流に応じた輝度で発光する電気光学素子とを有する。また、電源線制御回路は、書き込み対象となる画素に対応する走査線が選択されてからこの走査線が次に選択されるまでの期間において、第1の電源線または第2の電源線の少なくとも一方の電位を可変に設定し、電気光学素子に順バイアスと非順バイアスとを交互に繰り返し印加する。

### 【0008】

ここで、第1の発明において、電源線制御回路は、電気光学素子に順バイアスを印加する場合、第2の電源線の電位を第1の電源線の電位よりも低く設定し、電気光学素子に非順バイアスを印加する場合、第2の電源線の電位を第1の電源線の電位以上に設定してもよい。また、電源線制御回路は、電気光学素子に順バイアスを印加する場合、第1の電源線の電位を第2の電源線の電位よりも高く設定し、電気光学素子に非順バイアスを印加する場合、第1の電源線の電位を第2の電源線の電位以下に設定してもよい。さらに、電源線制御回路は、電気光学素

子に順バイアスを印加する場合、第1の電源線の電位を第1の電位に設定するとともに、第2の電源線の電位を第1の電位よりも低い第2の電位に設定し、電気光学素子に非順バイアスを印加する場合、第1の電源線の電位を第1の電位よりも低い第3の電位に設定するとともに、第2の電源線の電位を第3の電位以上の第4の電位に設定してもよい。

#### 【0009】

また、第1の発明において、電源線制御回路は、ある走査線の選択が終了してから次の走査線の選択が開始されるまでの間に遅延期間を設け、それぞれの遅延期間において、電気光学素子をインパルス駆動させてもよい。

#### 【0010】

また、第1の発明において、電源線制御回路は、走査線単位で設けられていてもよい。この場合、電源線制御回路のそれぞれは、この電源線制御回路に対応する走査線の選択と同期して、この走査線に対応する画素行の電気光学素子をインパルス駆動させることが好ましい。

#### 【0011】

また、第1の発明において、画素のそれぞれは、駆動電流の電流経路中に設けられた制御素子をさらに有していてもよい。この場合、この制御素子の導通制御によって、データの書き込み途中における画素の発光を規制することが望ましい。

#### 【0012】

第2の発明は、上述した第1の発明に係る電気光学装置を実装した電子機器を提供する。

#### 【0013】

第3の発明は、走査線とデータ線との交差に対応して配置された複数の画素と、走査線に走査信号を出力することにより、データの書込対象となる画素に対応する走査線を選択する走査線駆動回路と、走査線駆動回路と協働し、書込対象となる画素に対応するデータ線にデータを出力するデータ線駆動回路とを有する電気光学装置の駆動方法を提供する。この駆動方法は、書込対象となる画素に対応するデータ線にデータを出力し、この画素に対してデータの書き込みを行う第1

のステップと、画素に書き込まれたデータに応じて、第1の電源線から第2の電源線に向かって流れる駆動電流を設定し、この駆動電流を、駆動電流に応じた輝度で発光する電流駆動型の電気光学素子に供給する第2のステップと、電気光学素子をインパルス駆動させる第3のステップとを有する。この第3のステップにおいて、ある画素に対応する走査線が選択されてから、この走査線が次に選択されるまでの期間において、第1の電源線または第2の電源線の少なくとも一方の電位を可変に設定し、電気光学素子に順バイアスと非順バイアスとを交互に繰り返し印加する。

#### 【0014】

ここで、第3の発明の第3のステップは、電気光学素子に順バイアスを印加する場合、第2の電源線の電位を第1の電源線の電位よりも低く設定するステップと、電気光学素子に非順バイアスを印加する場合、第2の電源線の電位を第1の電源線の電位以上に設定するステップとを含んでいてもよい。また、第3のステップは、電気光学素子に順バイアスを印加する場合、第1の電源線の電位を第2の電源線の電位よりも高く設定するステップと、電気光学素子に非順バイアスを印加する場合、第1の電源線の電位を第2の電源線の電位以下に設定するステップとを含んでいてもよい。さらに、第3のステップは、電気光学素子に順バイアスを印加する場合、第1の電源線の電位を第1の電位に設定するとともに、第2の電源線の電位を第1の電位よりも低い第2の電位に設定するステップと、電気光学素子に非順バイアスを印加する場合、第1の電源線の電位を第1の電位よりも低い第3の電位に設定するとともに、第2の電源線の電位を第3の電位以上の第4の電位に設定するステップとを含んでいてもよい。

#### 【0015】

また、第3の発明の第3のステップにおいて、ある走査線の選択が終了してから次の走査線の選択が開始されるまでの間に遅延期間を設け、それぞれの遅延期間において、電気光学素子をインパルス駆動させてもよい。

#### 【0016】

また、第3の発明の第3のステップにおいて、走査線の選択と同期して、この走査線に対応する画素行の電気光学素子を走査線単位でインパルス駆動させても

よい。

### 【0017】

#### 【発明の実施の形態】

##### (第1の実施形態)

図1は、本実施形態に係る電気光学装置のブロック構成図である。表示部1は、例えば、FET（電界効果型トランジスタ）等のスイッチング素子によって電気光学素子を駆動するアクティブマトリクス型の表示パネルである。この表示部1には、 $m$ ドット× $n$ ライン分の画素2がマトリクス状（二次元平面的）に並んでいる。また、表示部1には、それぞれが水平方向に延在している走査線群 $Y_1$ ～ $Y_n$ と、それぞれが垂直方向に延在しているデータ線群 $X_1$ ～ $X_m$ とが設けられており、これらの交差に対応して画素2が配置されている。それぞれの画素2は、第1の電源線 $L_1$ と第2の電源線 $L_2$ とに共通接続されている。第1の電源線 $L_1$ の電位は電源電位 $V_{dd}$ に固定的に設定されている。一方、第2の電源線 $L_2$ の電位（後述する出力電位 $V_{out}$ ）は、電気光学素子のインパルス駆動を実現すべく、可変に設定される。なお、本実施形態では、1つの画素2を画像の最小表示単位としているが、1つの画素2を複数のサブ画素で構成してもよい。

### 【0018】

制御回路5は、図示しない上位装置より入力される垂直同期信号 $V_s$ 、水平同期信号 $H_s$ 、ドットクロック信号DCLKおよび階調データD等に基づいて、走査線駆動回路3とデータ線駆動回路4と電源線制御回路6とを同期制御する。この同期制御の下、走査線駆動回路3、データ線駆動回路4および電源線制御回路6は、互いに協働して表示部1の表示制御を行う。制御回路5が出力する制御信号およびパルス信号は、基本的に従来のものと同様であるが、本実施形態では、特に、電源線制御回路6を制御する制御信号 $S_c$ が追加されている点に留意されたい。

### 【0019】

走査線駆動回路3は、シフトレジスタ、出力回路等を主体に構成されており、各走査線 $Y_1$ ～ $Y_n$ に走査信号SELを出力することによって、走査線 $Y_1$ ～ $Y_n$ を所定の順序で選択していく。走査信号SELは、高レベル（以下、「Hレベル」

という) または低レベル (以下、「L レベル」という) の 2 値的な信号レベルをとり、データの書き込み対象となる画素行に対応する走査線 Y は H レベル、これ以外の走査線 Y は L レベルにそれぞれ設定される。これにより、1 垂直走査期間において、所定の選択順序で (一般的には最上から最下に向かって) 一走査線分の画素群 (画素行) が選択されていく線順次走査が行われる。

### 【0020】

一方、データ線駆動回路 4 は、シフトレジスタ、ラインラッチ回路、出力回路等を主体に構成されている。データの書き込み方式として電流プログラム方式を用いる場合には、各データ線 X<sub>1</sub>～X<sub>m</sub>に対して、画像データが電流レベルで出力される。そのため、データ線駆動回路 4 は、画素 2 の表示階調に相当するデータ (データ電圧 V<sub>data</sub>) をデータ電流 I<sub>data</sub>へと変換する可変電流源を含む。これに対して、電圧プログラム方式を用いる場合には、各データ線 X<sub>1</sub>～X<sub>m</sub>に対して、画像データが電圧レベルで出力されるため、かかる可変電流源は必要ない。データ線駆動回路 4 は、1 水平走査期間において、今回データを書き込む画素行に対するデータ (I<sub>data</sub>または V<sub>data</sub>) の一斉出力と、次の水平走査期間で書き込みを行う画素行に関するデータの点順次的なラッチとを同時に行う。ある水平走査期間において、データ線 X の本数に相当する m 個のデータが順次ラッチされる。そして、次の水平走査期間において、ラッチされた m 個のデータは、電流プログラム方式の場合にはデータ電流 I<sub>data</sub>に変換された上で、それぞれのデータ線 X<sub>1</sub>～X<sub>m</sub>に対して一斉に出力される。なお、データ線駆動回路 4 に対してフレームメモリ等 (図示せず) から直接データを線順次的に入力する構成でも本発明を適用できるが、その場合においても本発明の主眼とする部分の動作は同様であるので説明を省略する。この場合には、データ線駆動回路 4 にシフトレジスタを設ける必要はない。

### 【0021】

図 2 は、画素 2 の一例を示す電流プログラム方式の画素回路図である。1 つの画素 2 は、有機 EL 素子 OLED と、3 つのトランジスタ T<sub>1</sub>、T<sub>2</sub>、T<sub>4</sub>と、データを保持するキャパシタ C とによって構成されている。なお、同図に示した画素 2 では、一例として、n チャネル型のトランジスタ T<sub>1</sub>、T<sub>2</sub>と p チャネル型のトランジ

ンジスタT4とが用いられている。また、データを保持する回路要素としては、キャパシタC以外にも、多ビットのデータを記憶可能なメモリ（S R A M等）を用いることもできる。

### 【0022】

第1のスイッチングトランジスタT1のゲートは、走査信号SELが供給される1本の走査線Y（YはY1～Ynの任意の一本を指す）に接続され、そのソースは、データ電流I<sub>data</sub>が供給される1本のデータ線X（XはX1～Xmの任意の一本を指す）に接続されている。第1のスイッチングトランジスタT1のドレインは、第2のスイッチングトランジスタT2のソースと、駆動素子の一形態である駆動トランジスタT4のドレインと、有機EL素子OLEDのアノード（陽極）とに共通接続されている。第2のスイッチングトランジスタT2のゲートは、第1のスイッチングトランジスタT1と同様に、走査信号SELが供給される走査線Yに接続されている。第2のスイッチングトランジスタT2のドレインは、キャパシタCの一方の電極と、駆動トランジスタT4のゲートとに共通接続されている。キャパシタCの他方の電極および駆動トランジスタT4のソースは、電源電位V<sub>dd</sub>に設定された第1の電源線L1に共通接続されている。一方、有機EL素子OLEDのカソード（陰極）は、出力電位V<sub>out</sub>によって電位が可変に設定される第2の電源線L2に接続されている。

### 【0023】

電源線制御回路6は、制御回路5からの制御信号Scに応じて、第2の電源線L2の電位である出力電位V<sub>out</sub>を可変に制御する。図3は、電源線制御回路6の回路図である。この電源線制御回路6は、CMOSインバータ6aと、増幅器であるオペアンプ6bとによって構成されている。このインバータ6aは、2つの固定電位V<sub>off</sub>、V<sub>ss</sub>との間に直列接続されたnチャネル型トランジスタとpチャネル型トランジスタとを有し、その入力となる制御信号Scのレベルに応じて、電位V<sub>off</sub>、V<sub>ss</sub>を逐一的に出力する。ここで、オフ電位V<sub>off</sub>は電源電位V<sub>dd</sub>以上の所定の電位であり、電位V<sub>ss</sub>は電源電位V<sub>dd</sub>よりも低い所定の電位である（V<sub>off</sub>≥V<sub>dd</sub>>V<sub>ss</sub>）。インバータ6aから出力された出力電位V<sub>in+</sub>は、オペアンプ6bの非反転入力端（+入力端）に入力される。オペアンプ6bによって

構成される回路は、ユニティゲイン・バッファと呼ばれるバッファ回路であるが、ソースフォロワ回路を含む電圧フォロワ回路を用いてもよい。オペアンプ6 b から出力される出力電位  $V_{out}$  は、電源制御信号  $S_c$  のレベルを反転させた出力波形を有する。後段の回路に対して十分な駆動能力を確保すべく、インバータ6 a を構成するトランジスタの利得係数  $\beta$  は大きく、オペアンプ6 b のスルーレートは高く設定されている。

#### 【0024】

電源線制御回路6からの出力電位  $V_{out}$  は、電位  $V_{ss}$ ,  $V_{off}$  のいずれかに設定され、これにより、図2に示した画素2を構成する有機EL素子OLEDの発光状態が制御される。具体的には、制御信号  $S_c$  がHレベルの場合、オペアンプ6 b から出力される出力電位  $V_{out}$  は、電源電位  $V_{dd}$  よりも低い電位  $V_{ss}$  となる。この場合、有機EL素子OLEDのカソードには、第2の電源線L2を介して電位  $V_{ss}$  が印加される。有機EL素子OLEDのアノードには、第1の電源線L1を介して電源電位  $V_{dd}$  が印加されているため、 $V_{ss}$ 印加時には、有機EL素子OLEDには順バイアス（順方向電圧）が印加される。その結果、第1の電源線L1から第2の電源線L2に向かって駆動電流  $I_{oled}$  が流れ得るため、有機EL素子OLEDの発光が許容される。これに対して、制御信号  $S_c$  がLレベルの場合、オペアンプ6 b から出力される出力電位  $V_{out}$  は、電源電位  $V_{dd}$  以上のオフ電位  $V_{off}$  となり、このオフ電位  $V_{off}$  が有機EL素子OLEDのカソードに印加される。したがって、有機EL素子OLEDには、順バイアスでないバイアス、すなわち、非順バイアスが印加される。ここで、オフ電位  $V_{off}$  を電源電位  $V_{dd}$  よりも高い電位に設定した場合、非順バイアスは逆バイアス（逆方向電圧）に相当する。また、オフ電位  $V_{off}$  を電源電位  $V_{dd}$  とほぼ同等の電位に設定した場合（正確には、 $0 \leq V_{dd} - V_{off} < V_{th}$  ( $V_{th}$ は有機EL素子OLEDの閾電圧)）、非順バイアスはバイアスが印加されない状態に相当する。このような非順バイアス印加時には、有機EL素子OLEDの整流作用によって、駆動電流  $I_{oled}$  の流れが阻止されるため、キャパシタCの蓄積電荷に関わりなく、有機EL素子OLEDは発光しない。

#### 【0025】

図4は、本実施形態に係る駆動タイミングチャートである。まず、タイミング

t 0において、走査線駆動回路3は、走査線群Y1～Ynのうち、最上の走査線Y1を選択する。このタイミングt 0で、最上の走査線Y1の走査信号SEL1がHレベルに立ち上がり、このレベルがタイミングt 1まで維持される。この期間t 0～t 1では、最上の走査線Y1に対応する画素行において、図2に示したスイッチングトランジスタT1, T2が共にオンする。これにより、データ線Xと駆動トランジスタT4のドレインとが電気的に接続されるとともに、駆動トランジスタT4は、自己のゲートと自己のドレインとが電気的に接続されたダイオード接続となる。駆動トランジスタT4は、データ線Xより供給されたデータ電流I dataを自己のチャネルに流し、このデータ電流I dataに応じたゲート電圧Vgを自己のゲートに発生させる。その結果、駆動トランジスタT4のゲートに接続されたキャパシタCには、発生したゲート電圧Vgに応じた電荷が蓄積されて、データが書き込まれる。そして、タイミングt 1になると、走査信号SEL1がLレベルに立ち下がり、最上の走査線Y1に対応する画素行のスイッチングトランジスタT1, T2が共にオフする。これにより、データ線Xと駆動トランジスタT4のドレインとが電気的に遮断され、書込対象だった最上の画素行に対するデータ書き込みが終了する。なお、書込対象となっていない上から2番目以降の画素行に関しては、スイッチングトランジスタT1, T2が共にオフしているため、データの書き込みは行われない。

### 【0026】

走査信号SEL1の立ち下がりと同期して、次の走査線Y2の走査信号SEL2がHレベルに立ち上がり、上述したデータ書き込みと同様のプロセスで、走査線Y2に対応する画素行へのデータ書き込みが行われる。これ以降、最下の走査線Ynの選択が終了するタイミングt 2に到達するまで、書込対象となる画素行へのデータ書き込みが線順次走査的に行われていく。

### 【0027】

このような線順次走査が行われる期間t 0～t 2を含む期間t 0～t 3では、制御信号ScがLレベルに維持される。したがって、すべての画素2には、第2の電源線L2を介してオフ電位V offが供給され（V out = V off）、すべての有機EL素子OLEDに対して非順バイアスが印加される。その結果、この期間t 0～t 3では

、書込対象となる画素行であるか否かに拘わらず、すべての画素2が非発光状態に設定される（黒表示）。この期間  $t_0 \sim t_3$ において非順バイアスを設定する理由は、データの書き込み途中における画素2の発光を規制することで、表示の安定性を確保するためである。なお、本実施形態では、データの書き込み途中において画素2の発光を行わないが、画素回路の構成によってはこれを行ってもよい（例えば、図14に示す画素回路）。

### 【0028】

タイミング  $t_2$ に続くタイミング  $t_3$ において、それ以前はLレベルだった制御信号  $S_c$ は、HレベルとLレベルとを交互に繰り返すパルス波形へと変化する。制御信号  $S_c$ がHレベルの場合、電源線  $L_1$ 、 $L_2$ 間の電位関係が  $V_{dd} > V_{out}$  ( $= V_{ss}$ ) となるため、有機EL素子OLEDに順バイアスが印加される。したがって、第1の電源線  $L_1$ から第2の電源線  $L_2$ に向かって、駆動トランジスタ  $T_4$ と有機EL素子OLEDとを介した、駆動電流  $I_{oled}$ の電流経路が形成され得る。この駆動電流  $I_{oled}$ は、駆動トランジスタ  $T_4$ のチャネル電流に相当し、キャパシタ  $C$ の蓄積電荷に起因したゲート電圧  $V_g$ によって制御される。換言すれば、駆動電流  $I_{oled}$ の電流レベルは、先に書き込まれたキャパシタ  $C$ の蓄積電荷に応じて決定される。その結果、制御信号  $S_c$ がHレベルの場合、有機EL素子OLEDは駆動電流  $I_{oled}$ に応じた輝度で発光する。一方、制御信号  $S_c$ がLレベルの場合、電源線  $L_1$ 、 $L_2$ 間の電位関係が  $V_{dd} \leq V_{out}$  ( $= V_{off}$ ) となるため、有機EL素子OLEDに非順バイアスが印加される。したがって、この場合には、有機EL素子OLEDの整流作用により駆動電流  $I_{oled}$ が流れないので、有機EL素子OLEDは非発光状態（黒表示）となる。このように、タイミング  $t_3$ 以降において、有機EL素子OLEDの駆動モードは、発光と非発光とを交互に繰り返すインパルス駆動となる。インパルス駆動は、1垂直走査期間の終了タイミング  $t_4$ に到達するまで、換言すれば、次の垂直走査期間において、最上の走査線  $Y_1$ が再び選択されるまで継続される。

### 【0029】

このように、本実施形態では、走査線  $Y_1$ が選択されてからこの走査線  $Y_1$ が次に選択されるまでの期間  $t_0 \sim t_4$ （1垂直走査期間）の一部期間  $t_3 \sim t_4$ において

て、第2の電源線L2の電位V<sub>out</sub>を電位V<sub>ss</sub>、V<sub>off</sub>に交互に設定する。これにより、有機EL素子OLEDに対して順バイアスと非順バイアスとが交互に繰り返されるため、画素2の光学応答をインパルス型に近づけることができる。それとともに、この期間t<sub>3</sub>～t<sub>4</sub>において、有機EL素子OLEDの発光・非発光を頻繁に切り替えることで、黒表示が行われる期間を分散でき、かつ、1回の黒表示期間を短くできるため、表示画像のちらつきの低減を図ることができる。その結果、動画表示特性を改善でき、表示品質の一層の向上を図ることが可能となる。また、特に、オフ電位V<sub>off</sub>を電源電位V<sub>dd</sub>よりも高い電位に設定した場合には、上述した非順バイアスが逆バイアスとなり、順バイアスと逆バイアスとが交互に印加されるため、有機EL素子OLEDの寿命向上も期待できる。

### 【0030】

また、本実施形態では、1垂直走査期間の前半期間t<sub>0</sub>～t<sub>3</sub>において、すべての画素2を非発光状態に設定し、続く後半期間t<sub>3</sub>～t<sub>4</sub>において、すべての画素2を一斉に発光状態に設定している。したがって、表示部1を構成するすべての画素2が同時に、かつ同一期間で発光するため、複雑な駆動制御を行うことなく、表示部1全体の発光輝度を均一化できる。

### 【0031】

#### (第2の実施形態)

上述した実施形態では、1垂直走査期間の後半期間t<sub>3</sub>～t<sub>4</sub>でインパルス駆動が行われるのに対して、本実施形態は、インパルス駆動が行われる期間を1垂直走査期間内でより均一に分散させることを意図したものである。図5は、本実施形態に係る駆動タイミングチャートである。

### 【0032】

まず、期間t<sub>0</sub>～t<sub>1</sub>において、最上の走査線Y1の走査信号S<sub>EL1</sub>がHレベルになり、この走査線Y1に対応する画素行へのデータ書き込みが行われる。この期間t<sub>0</sub>～t<sub>1</sub>では、制御信号S<sub>c</sub>がLレベルに維持されるため、すべての画素2の有機EL素子OLEDは非発光状態に設定される。タイミングt<sub>1</sub>を起点に所定の遅延期間 $\tau$ が経過するまでの間は、制御信号S<sub>c</sub>がパルス波形に変化するため、すべての有機EL素子OLEDを対象としたインパルス駆動が行われる。この遅延期

間 $\tau$ では、いかなる画素2に対してもデータの書き込みは行われない。そして、遅延期間 $\tau$ が終了するタイミング $t_2$ において、制御信号 $S_c$ がLレベルに立ち下がり、すべての有機EL素子OLEDの発光が停止する。それとともに、次の走査線 $Y_2$ の走査信号 $S_{EL2}$ がHレベルに立ち上がって、この走査線 $Y_2$ に対応する画素行へのデータ書き込みが行われる。これ以降、1垂直走査期間が終了するタイミング $t_3$ に到達するまで、遅延期間 $\tau$ 毎に、すべての有機EL素子OLEDを対象としたインパルス駆動が行われる。

### 【0033】

本実施形態では、線順次走査において、ある走査線の選択が終了してから次の走査線の選択が開始されるまでの間に遅延期間 $\tau$ を設け、それぞれの遅延期間 $\tau$ において、すべての有機EL素子OLEDを対象としたインパルス駆動が行われる。これにより、上述した各実施形態と比較して、表示画像のちらつきを一層有効に低減することができる。なぜなら、インパルス駆動が行われる期間を1垂直走査期間内で分散させることができ、インパルス駆動における黒表示期間も細分化されるからである。

### 【0034】

#### (第3の実施形態)

上述した第1の実施形態では、データの書き込み途中における画素2の発光規制を、制御信号 $S_c$ のレベル設定( $S_c=L$ )によって実現している。これに対して、本実施形態は、駆動電流 $I_{oled}$ の電流経路中に設けられた制御素子の導通制御によって、かかる発光規制を行うものである。図6は、本実施形態に係る画素2の回路図である。なお、同図の構成は、駆動電流 $I_{oled}$ の電流経路中に、制御素子の一形態である制御トランジスタ $T_5$ を設けた点以外は図2の構成と同様であるから、図2に示した回路要素と同一の要素については同一の符号を付してここでの説明を省略する。また、電気光学装置の全体的なブロック構成は、図1に示したものと同様である。制御トランジスタ $T_5$ は、一例としてnチャネル型トランジスタであり、駆動トランジスタ $T_4$ のドレインと有機EL素子OLEDのアノードとの間に設けられている。また、制御トランジスタ $T_5$ のゲートには、このトランジスタ $T_5$ の導通状態を走査線単位で制御する制御信号 $G_P$ ( $G_P1 \sim G_P$

nのいずれか1つ)が供給されている。ここで、「走査線単位」とは、走査線Yと制御信号G Pとが一対一に対応している場合はもとより、複数の走査線Yをグループ化した走査線群毎に1つの制御信号G Pが対応付けられている場合も含む。

### 【0035】

図7は、本実施形態に係る駆動タイミングチャートである。図4に示したタイミングチャートとの主な相違点は、制御信号G P1～G Pnが追加された点および制御信号Scの波形を常時パルス状にした点である(これに起因して出力電位Vo utも常時パルス状になる)。それぞれの制御信号G P1～G Pnは、対応する走査信号SEL1～SELnと同期しており、そのレベルは、線順次走査に従い、画素行毎にオフセットしたタイミングで変化する。まず、走査信号SEL1がHレベルになる期間t0～t1では、最上の走査線Y1が選択され、これに対応する画素行に対するデータ書き込みが行われる。この期間t0～t1では、対応する制御信号G P1がLレベルに維持されているため、最上の画素行における制御トランジスタT5がオフする。これにより、駆動電流Ioledの電流経路が遮断されるため、最上の画素行における有機EL素子OLEDは、制御信号Scのレベルに関わりなく非発光状態となる。そして、走査線Y1の選択が終了するタイミングt1の直後より、制御信号G P1がHレベルに立ち上がって、最上の画素行における制御トランジスタT5が一斉にオンする。これにより、第1の実施形態と同様に、最上の画素行において、パルス状の制御信号Scに起因したインパルス駆動が一斉に行われる。このインパルス駆動は、制御信号G P1がLレベルに立ち下がるまで、すなわち、最上の走査線Y1が次に選択されるタイミングt4の直前まで継続される。つぎに、期間t1～t2では、走査線号SEL2がHレベルになって、直下の走査線Y2に対応する画素行のデータ書き込みが行われるが、制御信号G P2がLレベルなので、データ書き込み途中における発光は規制される。そして、走査線Y2の選択が終了するタイミングt1の直後からこれが次に選択されるタイミングの直前までの期間では、制御信号G P2がHレベルになるため、走査線Y2に対応する画素行におけるインパルス駆動が一斉に行われる。これ以降の画素行についても同様であり、走査線駆動回路3による線順次走査に従い、データ書き込み

途中における発光規制と、これに続くインパルス駆動とが、走査線単位で順次実行されていく。そして、期間  $t_3 \sim t_4$  における最下の走査線に選択を以て、1 垂直走査期間が終了する。

### 【0036】

本実施形態によれば、上述した実施形態と同様に、動画表示特性を改善でき、表示品質の一層の向上を図ることができる。特に、本実施形態では、制御トランジスタ T5 を追加することにより、制御信号 Sc の波形を常時パルス状に設定した場合でも、データの書き込み途中における画素 2 の発光を有効に規制できるという効果がある。また、制御信号 GP によって制御トランジスタ T5 を走査線単位で制御することにより、第 1 の実施形態と比較して、1 垂直走査期間に占める発光期間を長くでき、この発光期間を均一に分散でき、かつ、発光効率に優れた低輝度側で有機 EL 素子 OLED を発光させることができるとなる。このことは、消費電力の低減や有機 EL 素子 OLED の寿命向上を図る上で有利である。なお、駆動電流  $I_{oled}$  の電流経路中に制御トランジスタ T5 を追加する点は、以下に述べる各実施形態および画素回路の各変形例に対しても同様に適用可能である。

### 【0037】

#### (第 4 の実施形態)

本実施形態は、第 2 の電源線 L2 の電位を固定とし、第 1 の電源線 L1 の電位を可変設定することにより、インパルス駆動を実現するものである。図 8 は、本実施形態に係る電気光学装置のブロック構成図である。第 1 の電源線 L1 の出力電位  $V_{out}$  を制御するために、電源線制御回路 6 は、制御回路 5 からの制御信号 Sc に応じて、2 つの固定電位  $V_{off}$ ,  $V_{dd}$  のいずれかを出力電位  $V_{out}$  として選択的に出力する。ここで、オフ電位  $V_{off}$  は所定の電位  $V_{ss}$  以下の所定の電位であり、電源電位  $V_{dd}$  は所定の電位  $V_{ss}$  よりも高い電位である ( $V_{off} \leq V_{ss} < V_{dd}$ )。電源線制御回路 6 は、図 3 の回路構成をそのまま用いることができるが、同図に示したインバータ 6 a の 2 つの電位端子のうち、オフ電位  $V_{off}$  側を電源電位  $V_{dd}$ 、電位  $V_{ss}$  側を本実施形態でいうオフ電位  $V_{off}$  にそれぞれ変更する必要がある。

### 【0038】

図2に示した画素2を構成する有機EL素子OLEDの発光状態は、電源線制御回路6から出力された出力電位Voutによって制御される。制御信号ScがLレベルの場合、電源線制御回路6から出力される出力電位Voutは、電位Vssよりも高い電源電位Vddとなる。したがって、有機EL素子OLEDには順バイアスが印加されるため、有機EL素子OLEDの発光が許容される。これに対して、制御信号ScがHレベルの場合、出力電位Voutは電位Vss以下のオフ電位Voffとなる。したがって、有機EL素子OLEDには非順バイアスが印加されるため、有機EL素子OLEDの整流作用によって、有機EL素子OLEDの発光が規制される。

### 【0039】

図9は、本実施形態に係る駆動タイミングチャートである。電位を可変設定する対象が第2の電源線L2から第1の電源線L1に変わった関係上、本実施形態に係る制御信号Scは、図4の制御信号Scをレベル反転したものが用いられる。1垂直走査期間t0～t4における前半期間t0～t3では、制御信号ScがHレベルに維持されるため、すべての画素2に対してオフ電位Voffが供給される（Vout = Voff）。したがって、この前半期間t0～t3では、すべての画素2の有機EL素子OLEDが非発光状態に設定される。そして、続く後半期間t3～t4では、制御信号Scがパルス波形になるため、すべての画素2の有機EL素子OLEDを対象にインパルス駆動が行われる。

### 【0040】

本実施形態によれば、第1の電源線L1を対象とした設定電位の制御によって、インパルス駆動を実現できるため、上述した実施形態と同様に、動画表示特性の改善による表示品質の向上を図ることができる。なお、電源線制御回路6の駆動能力の観点でいえば、第1の電源線L1側よりも第2の電源線L2側を制御する方が好ましい。第1の電源線L1側の制御では、有機EL素子OLEDの前段に駆動トランジスタT4が介在するため、このトランジスタT4を充放電しなければ、後段の有機EL素子OLEDの印加バイアスを切り替えることができない。これに対して、第2の電源線L2側の制御では、第2の電源線L2が有機EL素子OLEDのカソードに直接接続されている関係上、駆動トランジスタT4の容量を考慮する必要がないので、その分だけ印加バイアスの切り替えを高速化できる。また、第1の

電源線L1側の制御において、非順バイアスとして逆バイアスを印加する場合には、負のオフ電位V<sub>off</sub> (V<sub>off</sub><V<sub>ss</sub>) を設定する必要があるため、極性の異なる電位を生成しなければならない。これに対して、第2の電源線L2側の制御では、正の電位のみ、換言すれば、同極性の電位のみでインパルス駆動を実現できるため、電圧生成を行う上で有利である。なお、第1の電源線L1側の制御によりインパルス駆動を実現する点は、以下の実施形態においても同様に適用可能である。

#### 【0041】

なお、2つの電源線L1, L2のそれぞれに電源線制御回路6を別個に設け、双方の電源線L1, L2の電位を可変設定することにより、印加バイアスの切り替えを行うことも当然に可能である。例えば、有機EL素子OLEDに順バイアスを印加する場合、第1の電源線L1の電位をV<sub>dd</sub>、第2の電源線L2の電位をV<sub>ss</sub>に設定し、非順バイアスを印加する場合、第1の電源線L1の電位を1/2V<sub>dd</sub>、第2の電源線L2の電位も1/2V<sub>dd</sub>に設定するといった如くである。この手法によれば、電源線L1, L2の電位レベルの変化量を小さくできるという利点がある。また、電源線L1, L2の両方の電位を可変設定することにより、電源電圧がV<sub>ss</sub>～V<sub>dd</sub>の範囲内で制御できるため、電源構成が簡単になる。

#### 【0042】

##### (第5の実施形態)

本実施形態は、電源線の電位を走査線単位で設定する駆動制御に関する。図10は、本実施形態に係る電気光学装置のブロック構成図である。電源線制御回路6(1)～6(n)は、走査線単位で設けられており、対応する制御信号S<sub>c</sub>(1)～S<sub>c</sub>(n)に応じて、対応する出力電位V<sub>out</sub>(1)～V<sub>out</sub>(n)を出力する。これらの出力電位V<sub>out</sub>(1)～V<sub>out</sub>(n)は、走査線単位で設けられた第2の電源線L2(1)～L2(n)のうちの対応するものに供給される。例えば、最上の走査線Y1に対応して設けられた電源線制御回路6(1)は、制御信号S<sub>c</sub>(1)に応じて、最上の走査線Y1の画素行に対応する第2の電源線L2(1)に対して、出力電位V<sub>out</sub>(1)を供給する。

#### 【0043】

図11は、本実施形態に係る駆動タイミングチャートであり、インパルス駆動

が行われる期間は、走査線Yの選択が順番に行われる関係上、走査線毎にオフセットしている。つまり、インパルス駆動は、走査線Yの選択と同期しており、画素行毎にオフセットしたタイミングで行われる点が本実施形態の特徴である。まず、最上の画素行に関しては、この画素行が選択されてから次に選択されるまでの期間  $t_0 \sim t_5$  (1垂直走査期間) うちの前半期間  $t_0 \sim t_1$ において、最上の走査線Y1が選択されて、データ書き込みが行われる。この期間  $t_0 \sim t_1$ を含む期間  $t_0 \sim t_2$ では、対応する制御信号  $S_c(1)$ がLレベルに維持され、この画素行の有機EL素子OLEDには非順バイアスが印加されるため、これらは非発光状態に設定される。そして、タイミング  $t_2$ 以降、最上の走査線Y1が次に選択されるタイミング  $t_5$ に到達するまでの期間、制御信号  $S_c(1)$ がパルス波形に変化するため、最上の画素行における有機EL素子OLEDのインパルス駆動が一斉に行われる。つぎに、走査線Y1の直下の画素行に関しては、この画素行の1垂直走査期間のうちの前半期間  $t_1 \sim t_3$ において、走査線Y2が選択されて、データ書き込みが行われる。この期間  $t_1 \sim t_3$ を含む期間  $t_1 \sim t_4$ では、対応する制御信号  $S_c(2)$ がLレベルに維持され、この画素行の有機EL素子OLEDには非順バイアスが印加されるため、これらは非発光状態に設定される。そして、タイミング  $t_4$ 以降、走査線Y2が次に選択されるまでの期間では、制御信号  $S_c(2)$ がパルス波形に変化するため、走査線Y2に対応する画素行における有機EL素子OLEDのインパルス駆動が一斉に行われる。それ以降の画素行に関しては同様であり、線順次走査による走査線Yの選択順序に従い、走査線毎にオフセットしながら、インパルス駆動が順次行われていく。

#### 【0044】

本実施形態によれば、電源線制御回路6(1)～6(n)を走査線単位で設け、第2の電源線L2(1)～L2(n)の電位を独立して可変設定することにより、走査線単位でのインパルス駆動を実現している。これにより、ある走査線Yに対応した画素行に関するインパルス駆動を、それ以外の走査線Yの選択(データの書き込み)に関する時間的制約を受けることなく、独立して行うことができる。その結果、それぞれの画素行に関して、1垂直走査期間に占めるインパルス駆動の時間的割合を大きくできるため、駆動電流  $I_{oled}$ を増大させることなく、表示部1の高輝

度化を図ることが可能となる。また、トータルでの消費電力の変化を小さく抑えられるため、電源の揺れが小さくなる。

#### 【0045】

なお、上述した各実施形態に係る駆動制御は、電流によって発光輝度が制御される電気光学素子を含む様々な画素回路に広く適用可能であり、図2に示した画素回路はその一例にすぎない。以下、本発明が適用可能な画素回路の構成を例示的に列挙する。

#### 【0046】

図12は、画素2の第1の変形例を示す電流プログラム方式の画素回路図である。この画素回路は、第1の走査信号SEL1および第2の走査信号SEL2がそれぞれ供給される2本の走査線に接続されている。1つの画素2は、有機EL素子OLED、4つのトランジスタT1～T4およびキャパシタCによって構成されている。この画素回路では、一例として、nチャネル型のトランジスタT1と、pチャネル型のトランジスタT2～T4とが用いられている。第1のスイッチングトランジスタT1のゲートは、第1の走査信号SEL1が供給される走査線に接続され、そのソースは、データ電流Idataが供給されるデータ線Xに接続されている。また、第1のスイッチングトランジスタT1のドレインは、第2のスイッチングトランジスタT2のドレインと、プログラミングトランジスタT3のドレインとに共通接続されている。第2の走査信号SEL2がゲートに供給された第2のスイッチングトランジスタT2のソースは、カレントミラー回路を構成する一対のトランジスタT3、T4のゲートと、キャパシタCの一方の電極とに共通接続されている。プログラミングトランジスタT3のソース、駆動トランジスタT4のソースと、キャパシタCの他方の電極とは、第1の電源線L1に接続されている。一方、有機EL素子OLEDのカソード（陰極）は、第2の電源線L2に接続されている。

#### 【0047】

図12に示した画素回路の制御プロセスは以下のようになる。まず、1垂直走査期間の前半において、第1の走査信号SEL1がHレベル、第2の走査信号SEL2がLレベルにそれぞれ設定される。これにより、プログラミングトランジ

スタT3は、データ線Xより供給されたデータ電流I dataを自己のチャネルに流し、データ電流I dataに応じたゲート電圧Vgを自己のゲートに発生させる。このゲート電圧Vgによって、キャパシタCに電荷が蓄積され、データ書き込みが行われる。その後、1垂直走査期間の後半において、第1の走査信号SEL1がLレベル、第2の走査信号SEL2がHレベルにそれぞれ設定される。これにより、プログラミングトランジスタT3のゲートとドレインとの間が電気的に分離され、駆動トランジスタT4のゲートには、キャパシタCに蓄積された電荷によってゲート電圧Vg相当が印加される。この状態において、第1の電源線L1の電位または第2の電源線L2の電位の少なくとも一方を可変設定することにより、有機EL素子OLEDをインパルス駆動させる。

#### 【0048】

図13は、画素2の第2の変形例を示す電流プログラム方式の画素回路図である。この画素回路には、走査信号SELが供給される1本の走査線と、制御信号GPが供給される1本の信号線とが接続されている。1つの画素2は、有機EL素子OLED、4つのpチャネル型トランジスタT1、T2、T4、T5およびキャパシタCによって構成されている。第1のスイッチングトランジスタT1のゲートは、走査信号SELが供給される走査線に接続され、そのソースは、データ電流I dataが供給されるデータ線Xに接続されている。第1のスイッチングトランジスタT1のドレインは、制御トランジスタT5のドレインと、駆動トランジスタT4のソースと、キャパシタCの一方の電極とに共通接続されている。キャパシタCの他方の電極は、駆動トランジスタT4のゲートと、第2のスイッチングトランジスタT2のソースとに共通接続されている。第2のスイッチングトランジスタT2のゲートは、第1のスイッチングトランジスタT1と同様に、走査信号SELが供給される走査線に接続されている。第2のスイッチングトランジスタT2のドレインは、駆動トランジスタT4のドレインと、有機EL素子OLEDのアノードとに共通接続されている。この有機EL素子OLEDのカソードは第2の電源線L2に接続されている。一方、制御トランジスタT5のゲートは制御信号GPが供給される信号線に接続され、そのソースは第1の電源線L1に接続されている。

#### 【0049】

図13に示した画素回路の制御プロセスは以下のようになる。まず、1垂直走査期間の前半において、走査信号SELがLレベル、制御信号GPがHレベルにそれぞれ設定される。これにより、駆動トランジスタT4は、データ線Xより供給されたデータ電流I<sub>data</sub>を自己のチャネルに流し、このデータ電流I<sub>data</sub>に応じたゲート電圧V<sub>g</sub>を自己のゲートに発生させる。このゲート電圧V<sub>g</sub>により、キャパシタCに電荷が蓄積され、データ書き込みが行われる。その後、1垂直走査期間の後半において、走査信号SELがHレベル、制御信号GPがLレベルにそれぞれ設定される。これにより、駆動トランジスタT4のゲートとドレインとの間が電気的に分離され、駆動トランジスタT4のゲートには、キャパシタCの蓄積電荷に応じて、ゲート電圧V<sub>g</sub>相当が印加される。この状態において、第1の電源線L1の電位または第2の電源線L2の電位の少なくとも一方を可変設定することにより、有機EL素子OLEDをインパルス駆動させる。

#### 【0050】

図14は、画素2の第3の変形例を示す電圧プログラム方式の画素回路図である。この画素回路は、走査信号SELが供給される1本の走査線に接続されている。1つの画素2は、有機EL素子OLED、nチャネル型トランジスタT1、pチャネル型トランジスタT4およびキャパシタCによって構成されている。スイッチングトランジスタT1のゲートは、走査信号SELが供給される走査線に接続され、そのドレインは、データ電圧V<sub>data</sub>が供給されるデータ線Xに接続されている。スイッチングトランジスタT1のソースは、キャパシタCの一方の電極と、駆動トランジスタT4のゲートとに共通接続されている。キャパシタCの他方の電極は駆動トランジスタT4のソースと第1の電源線L1とに共通接続されている。駆動トランジスタT4のドレインは有機EL素子OLEDのアノードに接続されている。この有機EL素子OLEDのカソードは第2の電源線L2に接続されている。

#### 【0051】

図14に示した画素回路の制御プロセスは以下のようになる。走査信号SELがHレベルの期間において、データ線Xに供給されたデータ電圧V<sub>data</sub>がキャパシタCの一方の電極に印加され、データ電圧V<sub>data</sub>相当の電荷がキャパシタCに

蓄積される。そして、キャパシタCの蓄積電荷によって、駆動トランジスタT4のゲートにはゲート電圧Vg相当が印加される。この状態において、第1の電源線L1の電位または第2の電源線L2の電位の少なくとも一方を可変設定することにより、有機EL素子OLEDをインパルス駆動させる。

### 【0052】

図15は、画素2の第4の変形例を示す電圧プログラム方式の画素回路図である。この画素回路は、第1の走査信号SEL1および第2の走査信号SEL2がそれぞれ供給される2本の走査線と、制御信号GPが供給される信号線とに接続されている。1つの画素2は、有機EL素子OLED、4つのpチャネル型トランジスタT1, T2, T4, T5および2つのキャパシタC1, C2によって構成されている。第1のスイッチングトランジスタT1のゲートは、第1の走査信号SEL1が供給される走査線が接続され、そのソースは、データ電圧Vdataが供給されるデータ線Xに接続されている。第1のスイッチングトランジスタT1のドレインは、第1のキャパシタC1の一方の電極に接続されている。また、第1のキャパシタC1の他方の電極は、第2のキャパシタC2の一方の電極と、第2のスイッチングトランジスタT2のソースと、駆動トランジスタT4のゲートとに共通接続されている。第2のキャパシタC2の他方の電極と駆動トランジスタT4のソースとは、第1の電源線L1に接続されている。第2のスイッチングトランジスタT2のゲートには第2の走査信号SEL2が供給され、そのドレインは、駆動トランジスタT4のドレインと制御トランジスタT5のソースとに共通接続されている。制御信号GPがゲートに供給された制御トランジスタT5は、駆動トランジスタT4のドレインと有機EL素子OLEDのアノードとの間に設けられている。この有機EL素子OLEDのカソードは、第2の電源線L2に接続されている。

### 【0053】

図15に示した画素回路の制御プロセスは以下のようになる。1垂直走査期間は、4つの期間に分けられる。まず、第1の期間において、Lレベルの制御信号GPにより制御トランジスタT5がオンし、駆動トランジスタT4のドレインの電位が電位Vssに設定される。つぎに、第2の期間において、Lレベルの第2の走査信号SEL2およびHレベルの制御信号GPにより、駆動トランジスタT4のゲ

ートには、自己のチャネルと第2のスイッチングトランジスタT2とを介して、自己のソースに印加された電源電位Vddが印加される。これにより、駆動トランジスタT4のゲート間電圧Vgsは、自己の閾値電圧Vthまで押し上げられる。駆動トランジスタT4のゲートに接続された2つのキャパシタC1, C2の電極には、それぞれ閾値電圧Vthが印加されることになる。一方、キャパシタC1, C2の対向する電極には、電源電位Vddが供給されているので、それぞれのキャパシタC1, C2の電位差は、電源電位Vddと閾値電圧Vthとの差（Vdd-Vth）に設定される。そして、第3の期間において、データ電圧Vdataとして、従前の電源電位Vddから $\Delta V_{data}$ だけ低下させた電圧レベルがデータ線Xに印加されることにより、キャパシタC1, C2に対するデータ書き込みが行われる。この状態において、第1の電源線L1の電位または第2の電源線L2の電位の少なくとも一方を可変設定することにより、有機EL素子OLEDをインパルス駆動させる。なお、図15に示した画素回路に関する基本的な制御プロセスについては、特表2002-514320号公報に記載されているので必要ならば参照されたい。

#### 【0054】

なお、上述した各実施形態において、インパルス駆動で非発光とする場合、第1の電源線L1の電位VL1と第2の電源線L2の電位VL2との関係を $VL1 \leq VL2$ に設定する必要は必ずしもない。厳密には、回路全体で考えて、有機EL素子OLEDが発光し始めるための電圧VELを考慮すると、 $VL1 + VEL \leq VL2$ となればよい。ここで、VELは、トランジスタ等の閾値および有機EL素子OLEDの発光閾値を足し合わせたものである。

#### 【0055】

また、上述した各実施形態では、電気光学素子として有機EL素子OLEDを用いた例について説明した。しかしながら、本発明はこれに限定されるものではなく、駆動電流に応じた輝度で発光する、それ以外の電気光学素子に対しても適用可能である。

#### 【0056】

さらに、上述した各実施形態に係る電気光学装置は、例えば、テレビ、プロジェクタ、携帯電話機、携帯端末、モバイル型コンピュータ、パーソナルコンピュ

ータ等を含む様々な電子機器に実装可能である。これらの電子機器に上述した電気光学装置を実装すれば、電子機器の商品価値を一層高めることができ、市場における電子機器の商品訴求力の向上を図ることができる。

### 【0057】

#### 【発明の効果】

本発明によれば、ある走査線が選択されてからこの走査線が次に選択されるまでの期間において、第1の電源線または第2の電源線の少なくとも一方の電位を可変に設定し、電気光学素子に順バイアスと非順バイアスとを交互に印加する。これにより、動画表示特性を改善でき、表示品質の一層の向上を図ることが可能となる。

#### 【図面の簡単な説明】

【図1】第1の実施形態に係る電気光学装置のブロック構成図

【図2】第1の実施形態に係る画素回路図

【図3】電源線制御回路の回路図

【図4】第1の実施形態に係る駆動タイミングチャート

【図5】第2の実施形態に係る駆動タイミングチャート

【図6】第3の実施形態に係る画素回路図

【図7】第3の実施形態に係る駆動タイミングチャート

【図8】第4の実施形態に係る電気光学装置のブロック構成図

【図9】第4の実施形態に係る画素の駆動タイミングチャート

【図10】第5の実施形態に係る電気光学装置のブロック構成図

【図11】第5の実施形態に係る画素の駆動タイミングチャート

【図12】画素の第1の変形例を示す画素回路図

【図13】画素の第2の変形例を示す画素回路図

【図14】画素の第3の変形例を示す画素回路図

【図15】画素の第4の変形例を示す画素回路図

#### 【符号の説明】

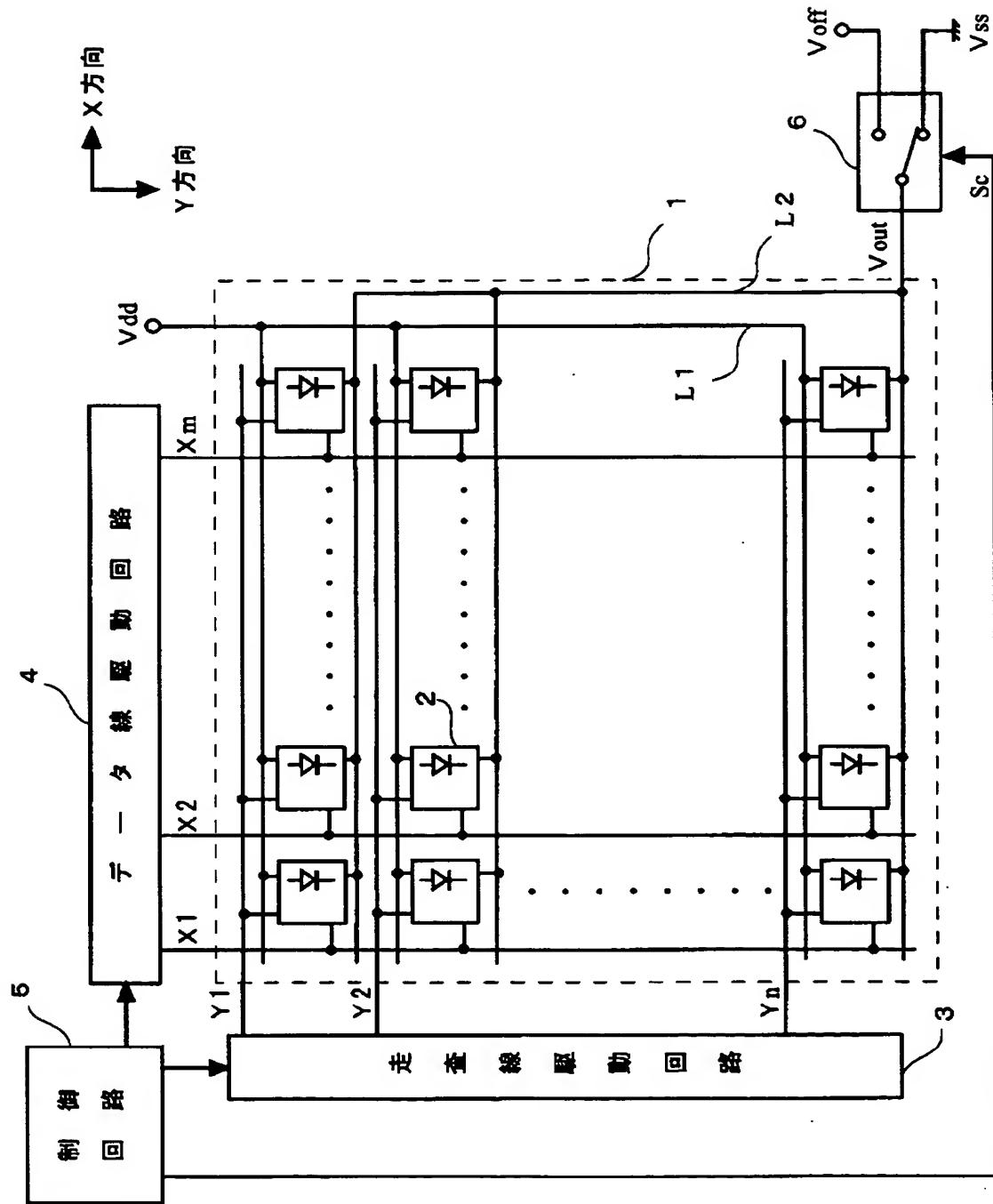
1 表示部

2 画素

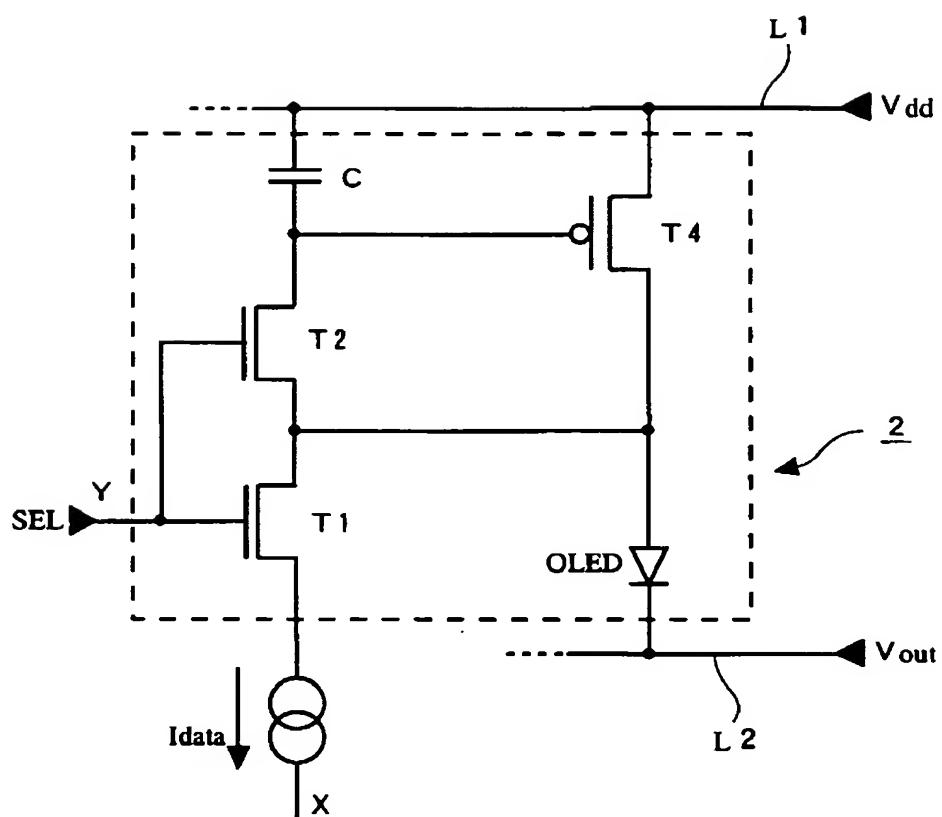
- 3 走査線駆動回路
- 4 データ線駆動回路
- 5 制御回路
- 6 電源線制御回路
- 6 a CMOSインバータ
- 6 b オペアンプ
- T1 第1のスイッチングトランジスタ
- T2 第2のスイッチングトランジスタ
- T3 プログラミングトランジスタ
- T4 駆動トランジスタ
- T5 制御トランジスタ
- C キャパシタ
- C1 第1のキャパシタ
- C2 第2のキャパシタ
- OLED 有機EL素子

【書類名】図面

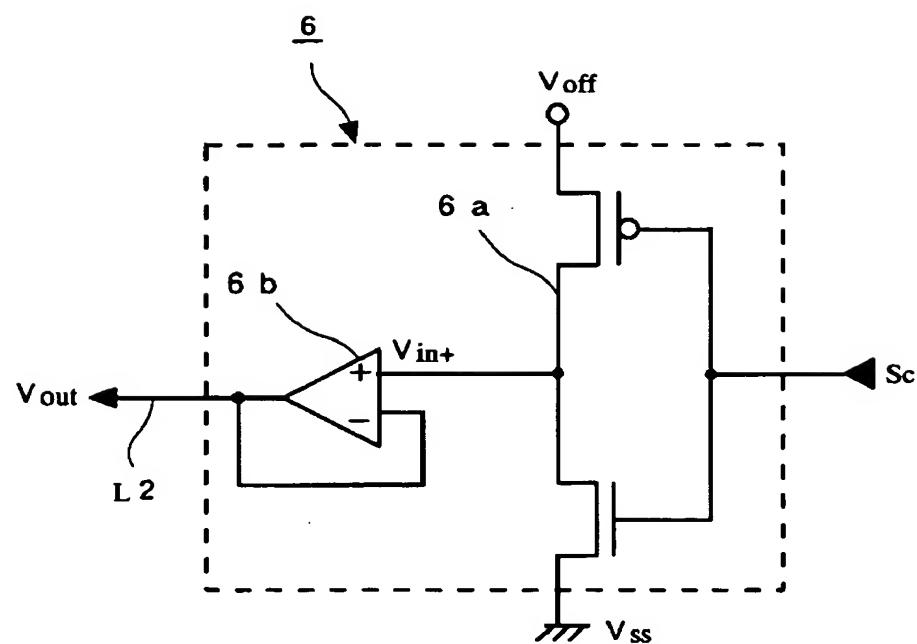
【図 1】



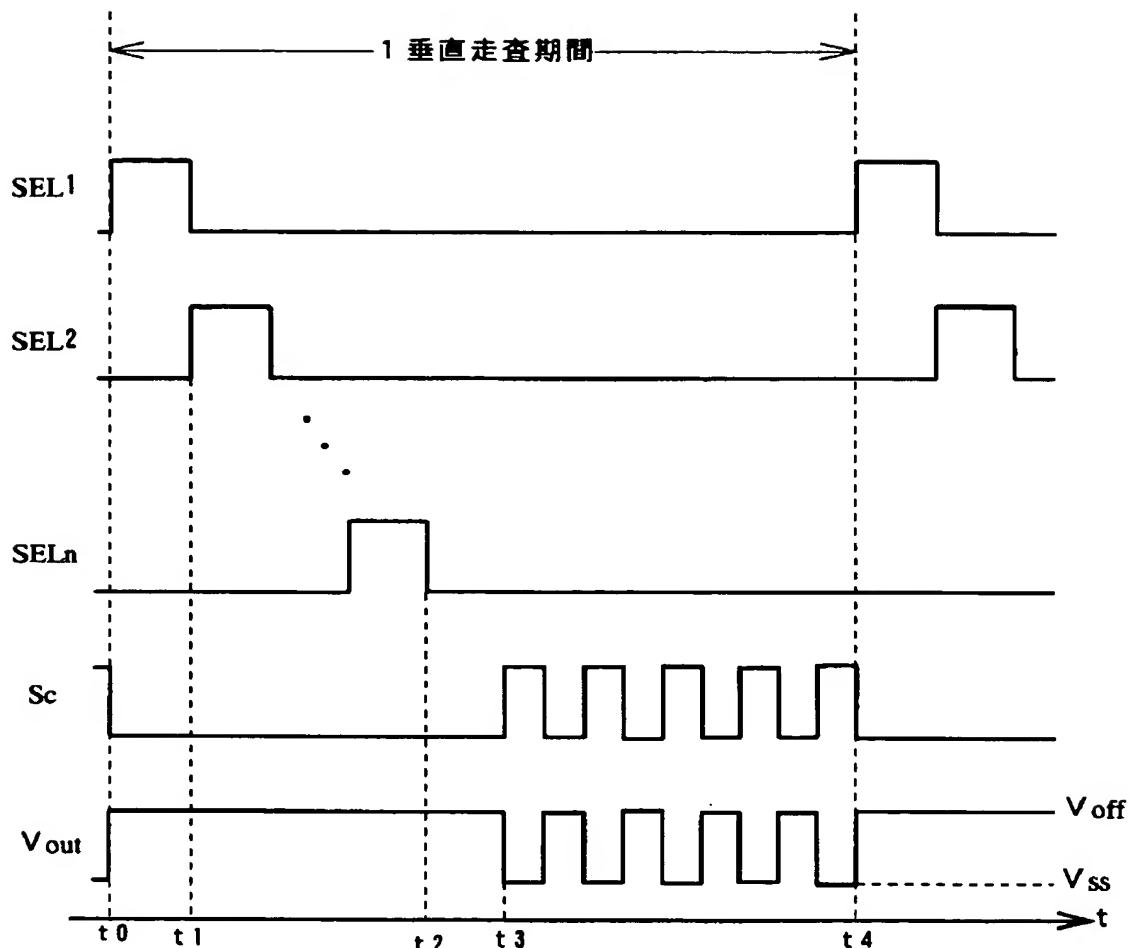
【図2】



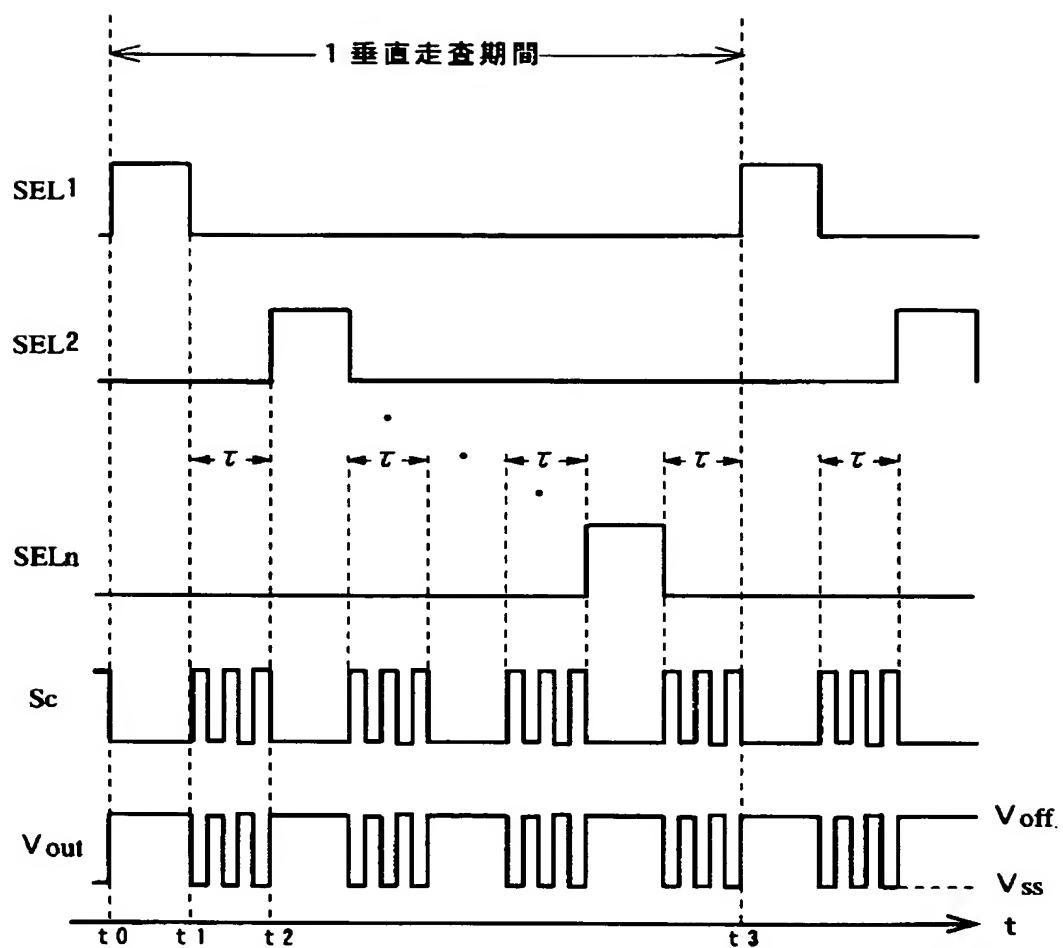
【図3】



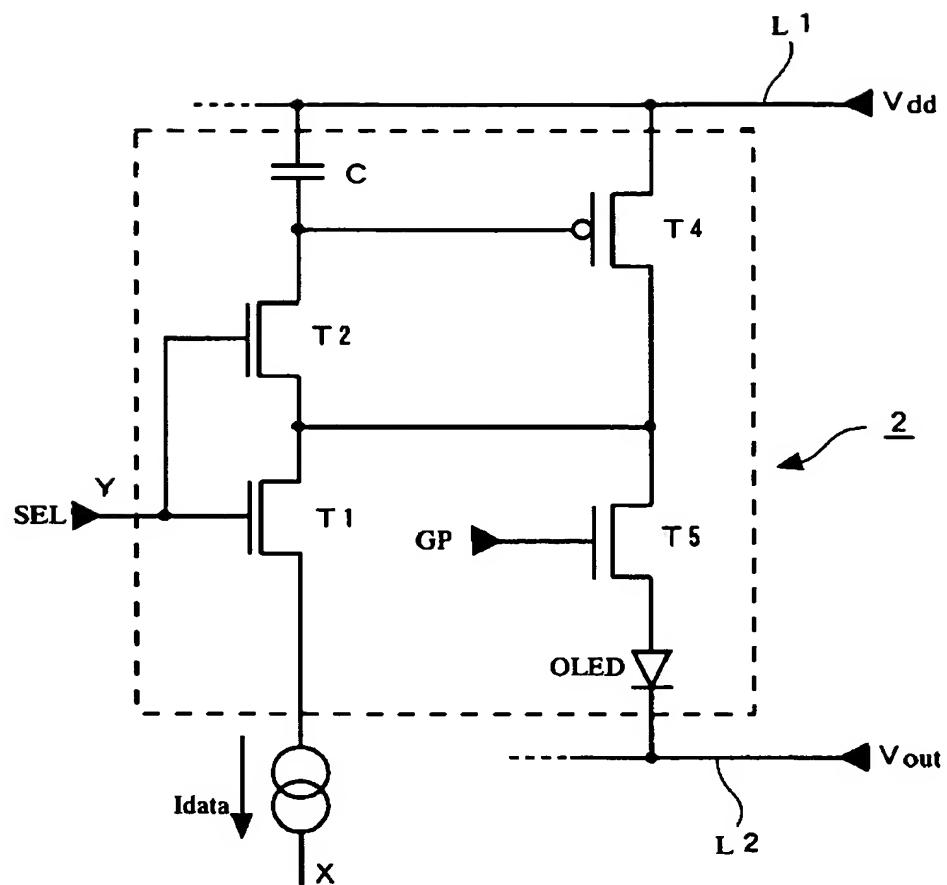
【図4】



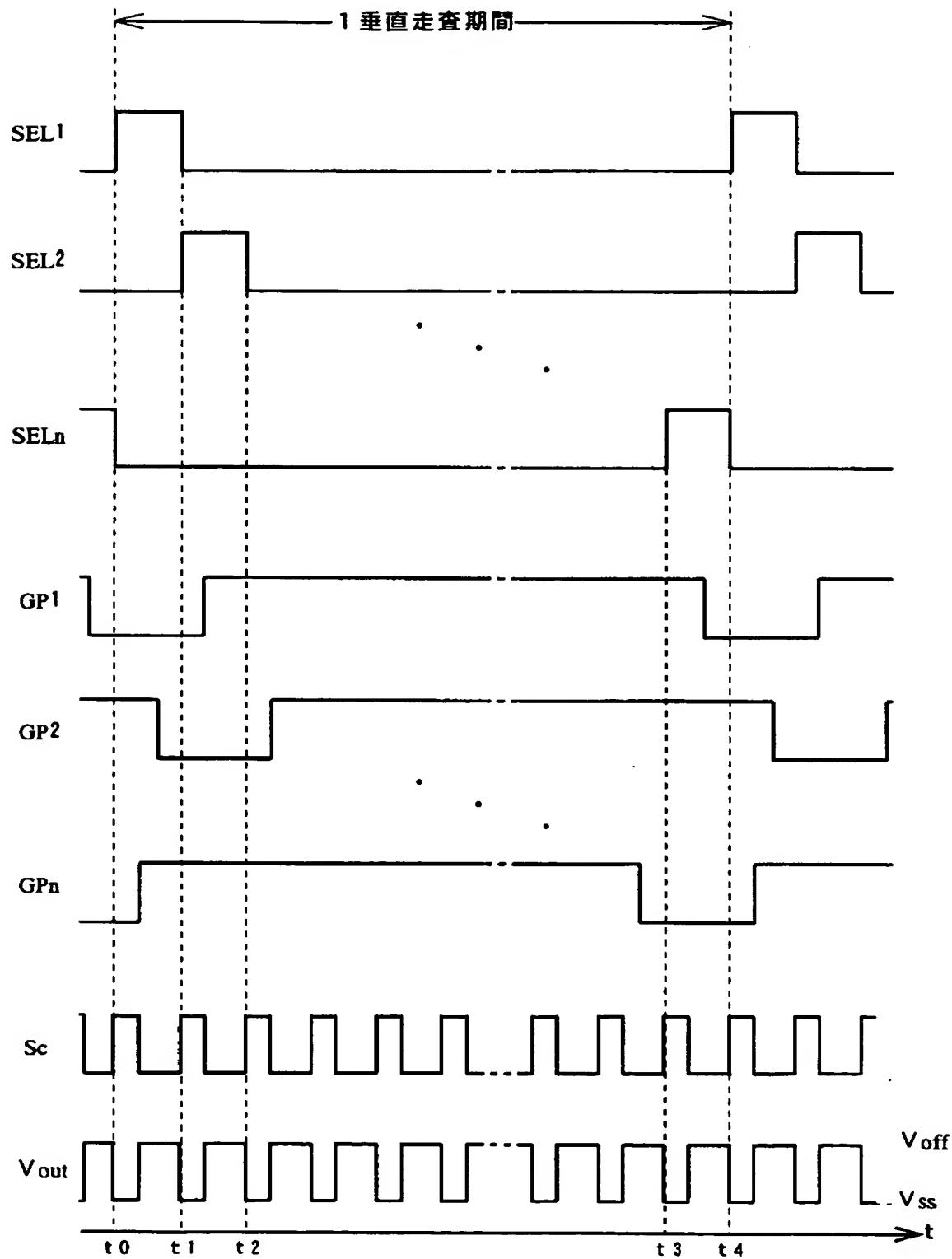
【図 5】



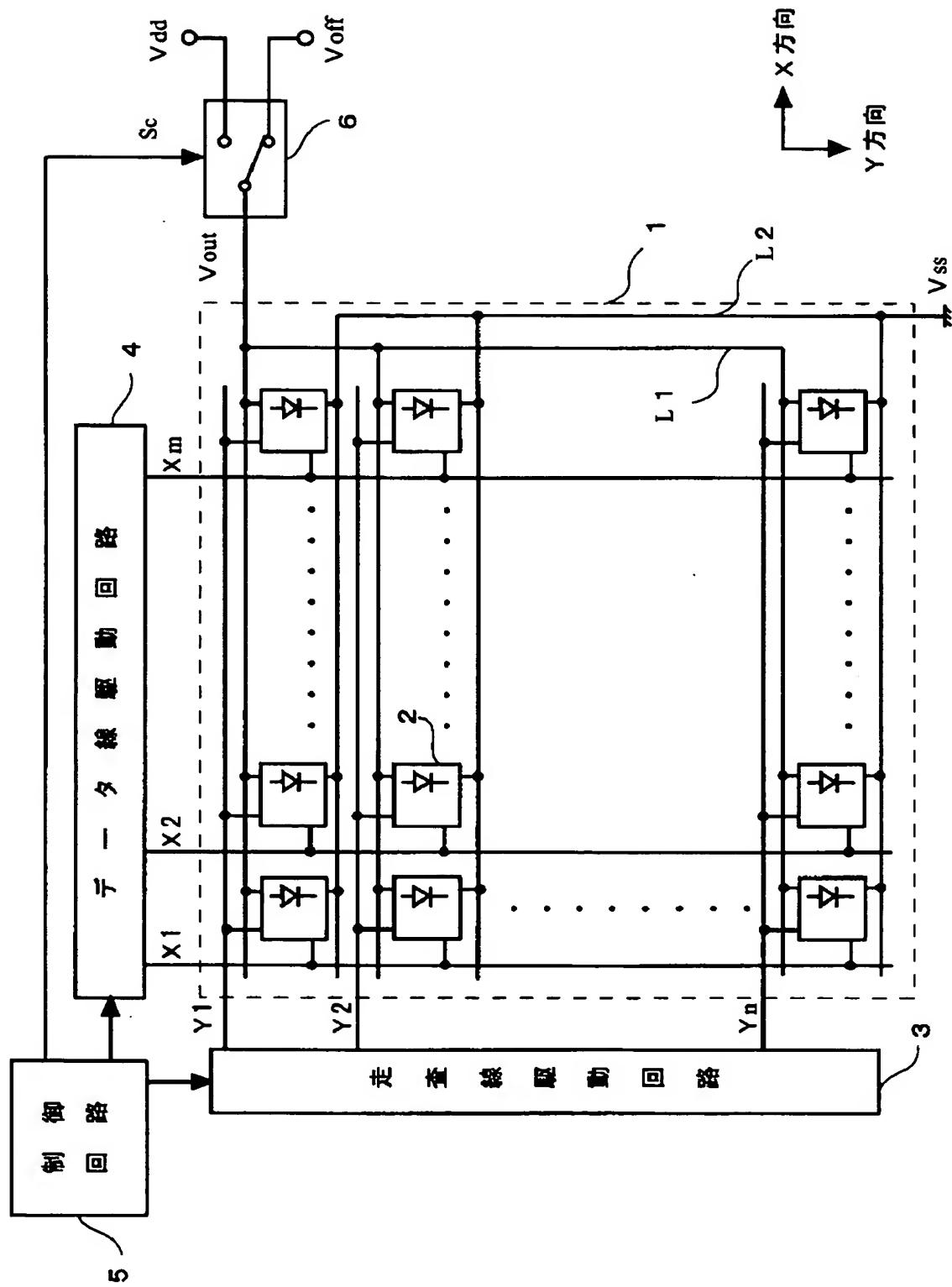
【図6】



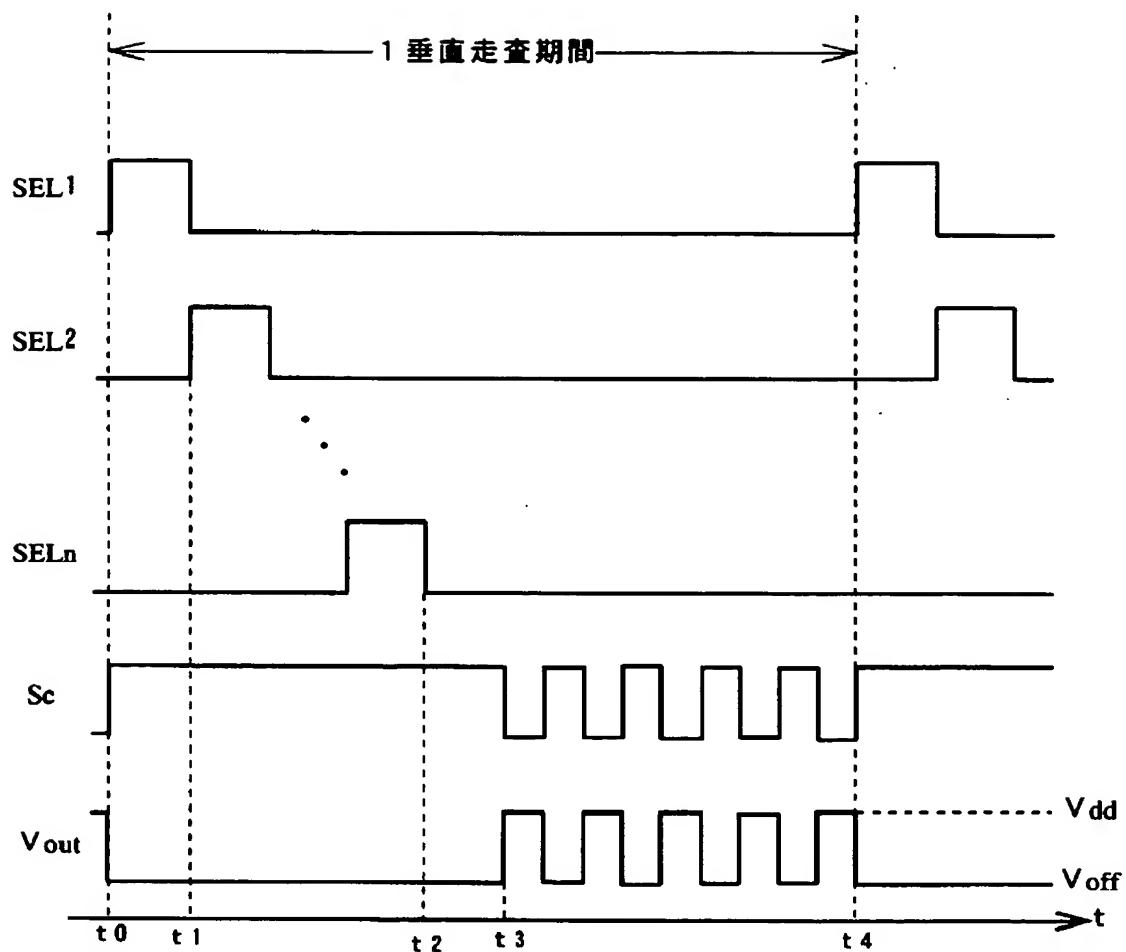
【図7】



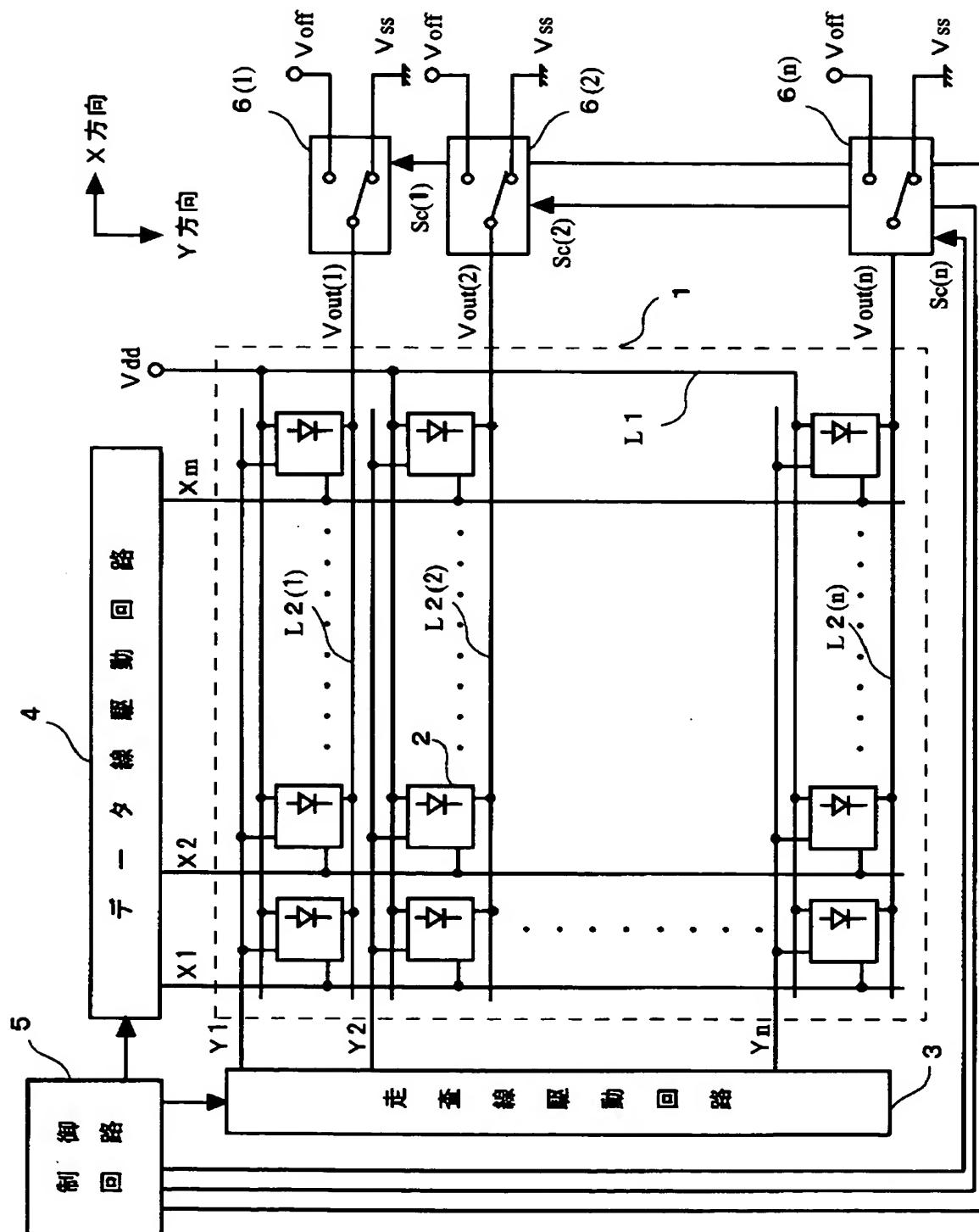
【図 8】



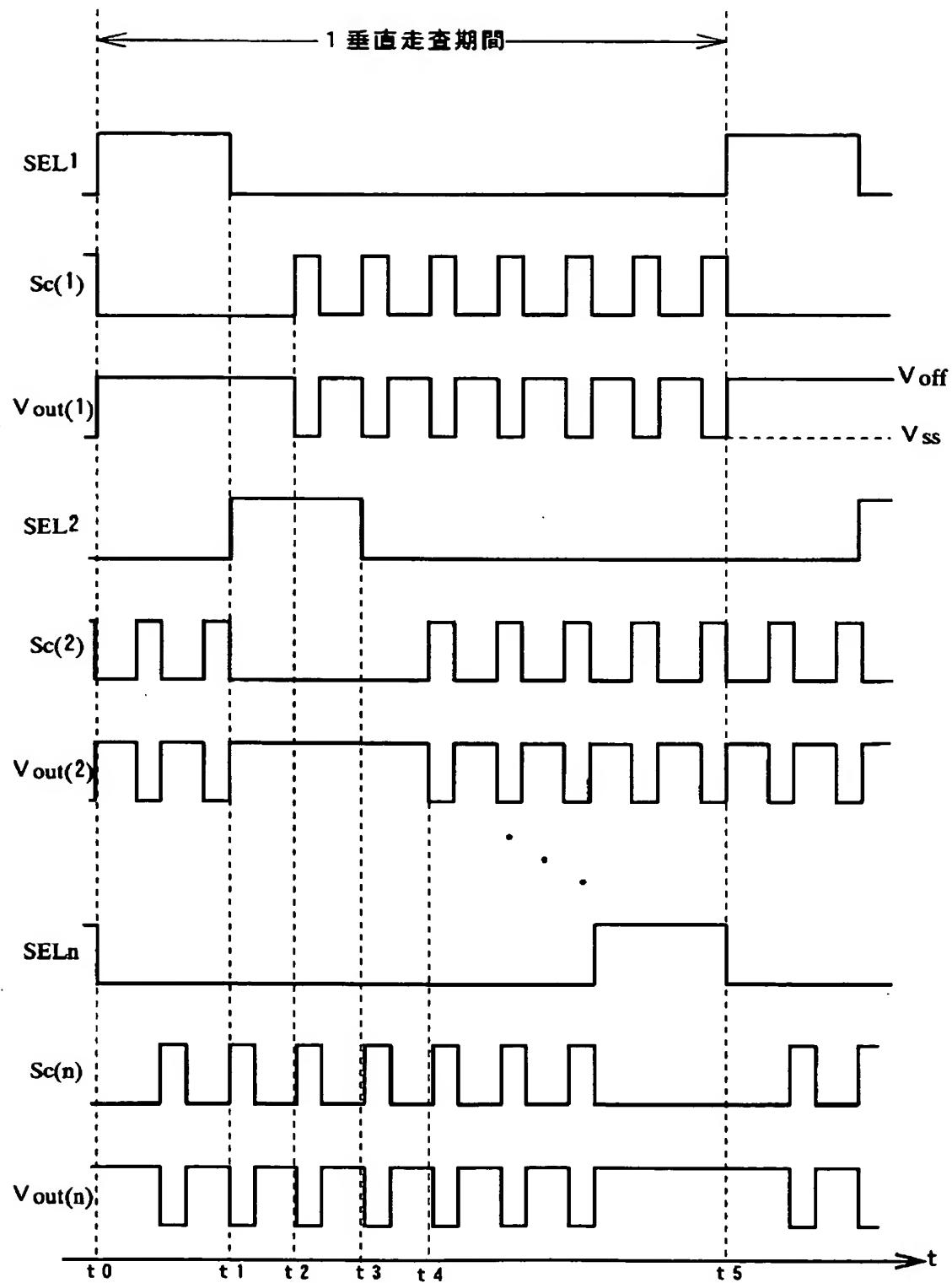
【図9】



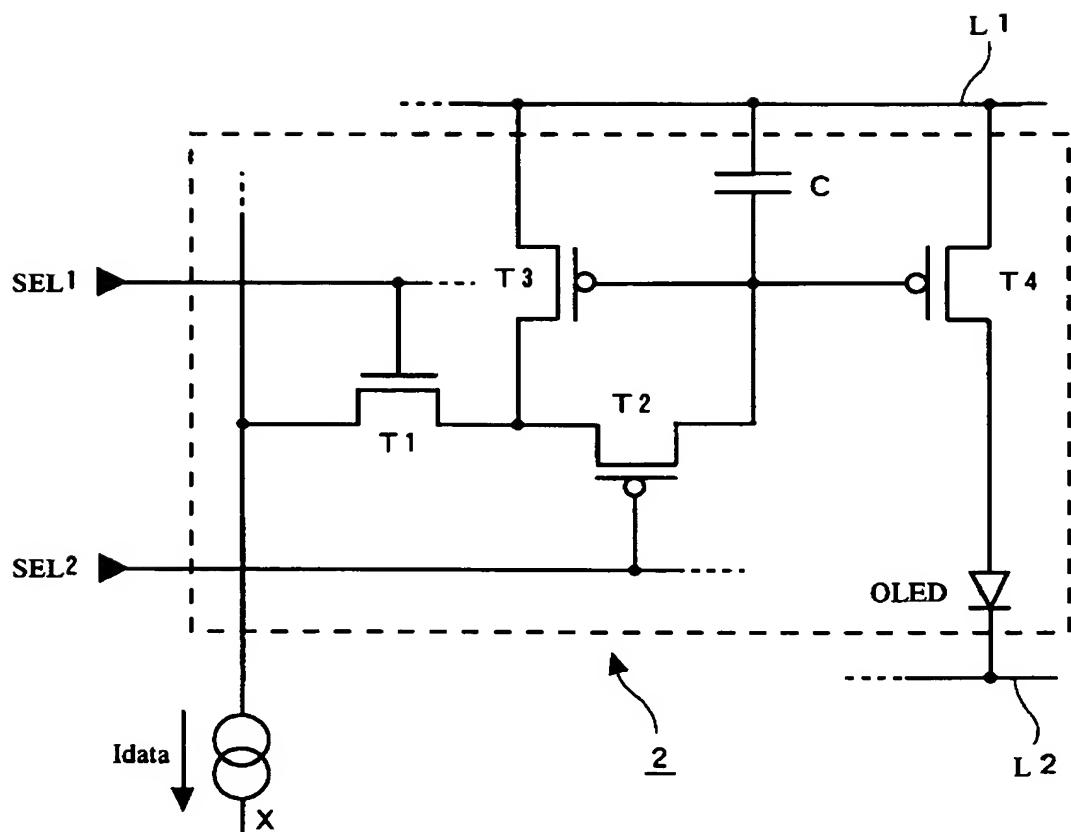
【図10】



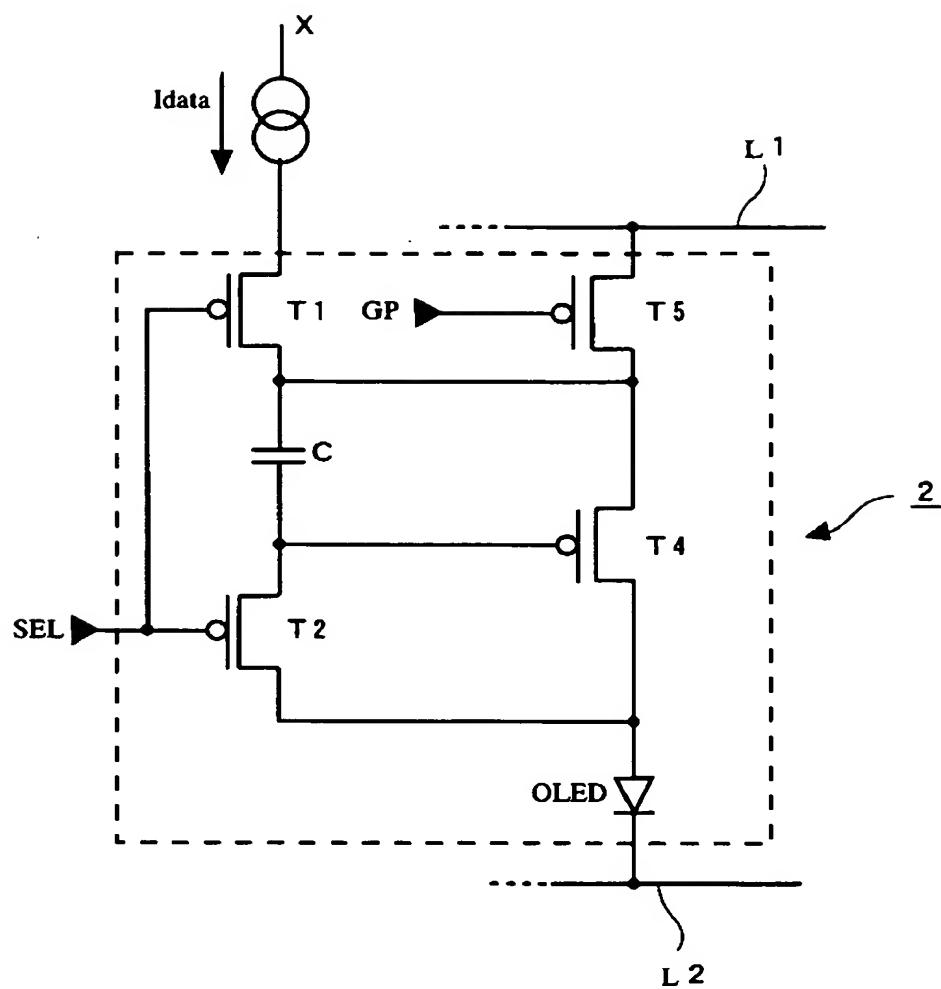
【図11】



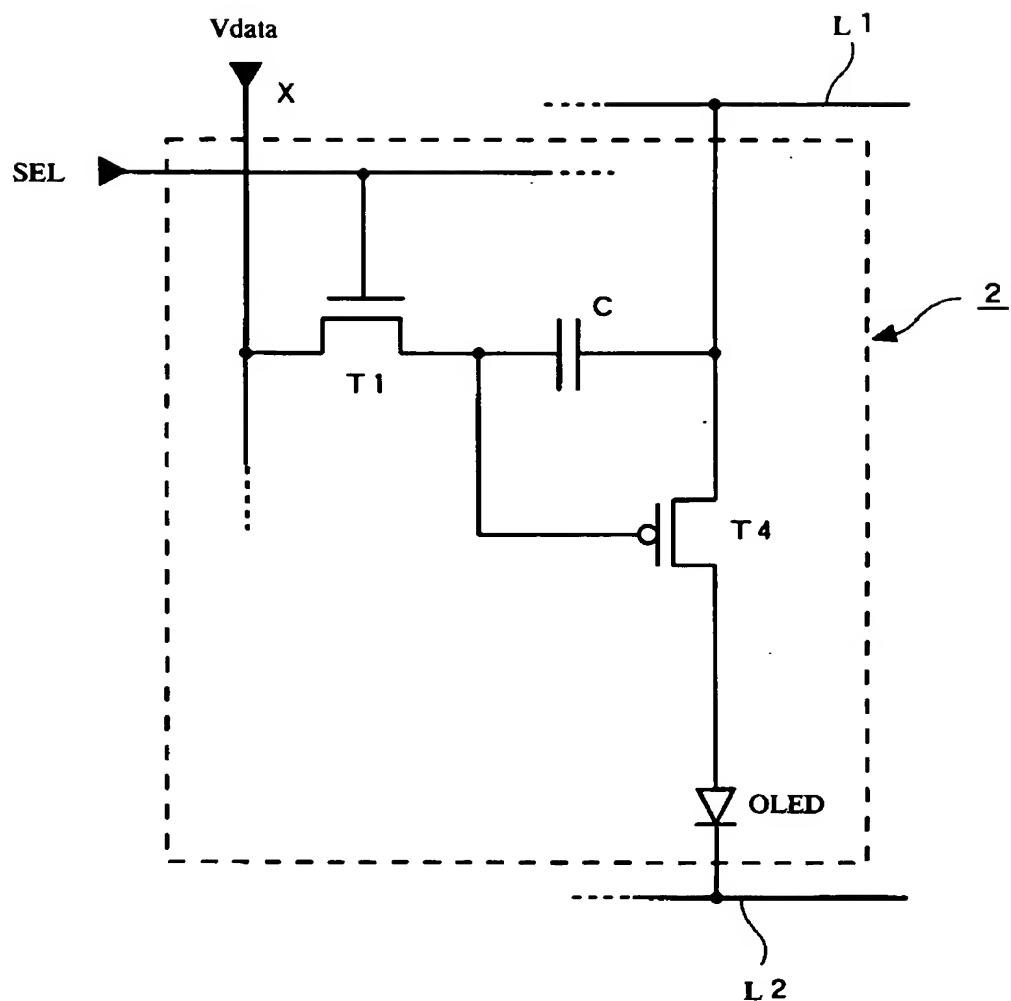
【図12】



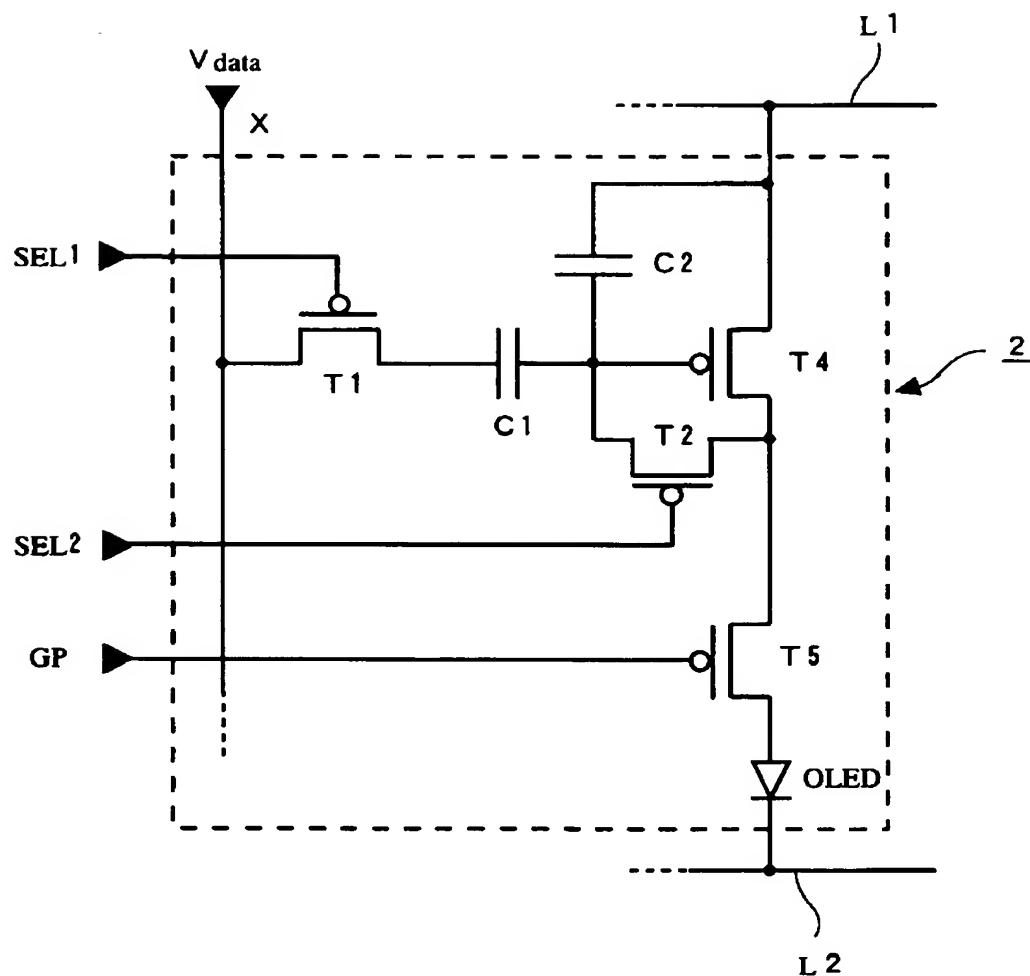
【図13】



【図 14】



【図15】



【書類名】 要約書

【要約】

【課題】 駆動電流に応じた輝度で発光する電気光学素子を用いた電気光学装置において、動画表示特性を改善し、表示品質の一層の向上を図る。

【解決手段】 画素2は、キャパシタCに保持されたデータに応じて、駆動電流  $I_{oled}$ を設定する駆動トランジスタT4と、駆動電流  $I_{oled}$ に応じた輝度で発光する有機EL素子OLEDとを有する。書込対象となる画素2に対応する走査線が選択されてからこの走査線が次に選択されるまでの期間において、第1の電源線L1または第2の電源線L2の少なくとも一方の電位を可変に設定し、有機EL素子OLEDに順バイアスと非順バイアスとを交互に繰り返し印加する。

【選択図】 図2

特願2003-041769

出願人履歴情報

識別番号 [000002369]

1. 変更年月日 1990年 8月20日

[変更理由] 新規登録

住所 東京都新宿区西新宿2丁目4番1号  
氏名 セイコーエプソン株式会社